

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2001-53287  
(P2001-53287A)

(43) 公開日 平成13年2月23日 (2001.2.23)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テ-マ-コード <sup>*</sup> (参考)
H 0 1 L 29/786		H 0 1 L 29/78	6 1 9 A
G 0 2 F 1/1368		G 0 9 F 9/30	3 3 8
G 0 9 F 9/30	3 3 8	H 0 1 L 21/20	
H 0 1 L 21/20		27/10	4 8 1
21/3065		G 0 2 F 1/136	5 0 0
審査請求 未請求 請求項の数22 O L (全 31 頁) 最終頁に続く			

(21) 出願番号 特願2000-165617(P2000-165617)

(22) 出願日 平成12年6月2日 (2000.6.2)

(31) 優先権主張番号 特願平11-154432

(32) 優先日 平成11年6月2日 (1999.6.2)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

(72) 発明者 須沢 英臣

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

(72) 発明者 山形 裕和

神奈川県厚木市長谷398番地 株式会社半

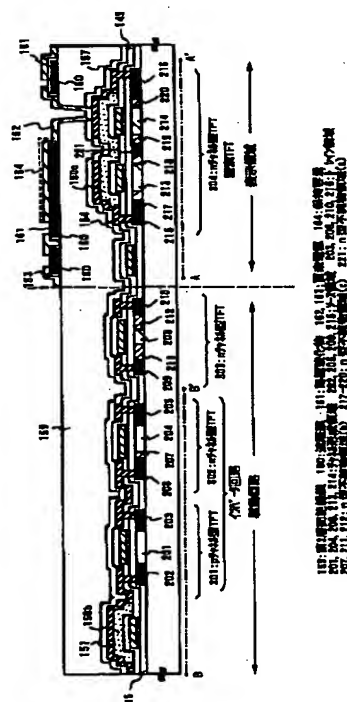
導体エネルギー研究所内

(54) 【発明の名称】 半導体装置およびその作製方法

(57) 【要約】

【課題】 多層配線間で形成される寄生容量を低減し、表示特性を向上させることを目的とする。

【解決手段】 本願発明では、開口率を向上させるため、画素TFTのチャネル形成領域213、214と重なるゲート電極の一部または全部と第2配線（ソース線またはドレイン線）154、157とを重ねる。また、ゲート電極と第2配線154、157の間には第1層間絶縁膜149及び第2層間絶縁膜150cを設け、寄生容量を低減する。



(2)

## 【特許請求の範囲】

【請求項1】絶縁表面上に第1配線と、  
前記第1配線を覆う第1層間絶縁膜と、  
前記第1層間絶縁膜上の一部に接して第2層間絶縁膜と、  
前記第1層間絶縁膜及び前記第2層間絶縁膜上に第2配線とを有し、  
前記第1配線と前記第2配線とが重なっている領域には、前記第1層間絶縁膜と前記第2層間絶縁膜とが積層されていることを特徴とする半導体装置。

【請求項2】請求項1において、前記第1層間絶縁膜のエッチングレートは、前記第2層間絶縁膜のエッチングレートより小さいことを特徴とする半導体装置。

【請求項3】請求項1または請求項2において、前記第1層間絶縁膜の前記第2層間絶縁膜に対するエッチングレートの選択比は、1.5以上であることを特徴とする半導体装置。

【請求項4】請求項1乃至3のいずれかにおいて、前記第1層間絶縁膜の膜厚は50～300nmであることを特徴とする半導体装置。

【請求項5】請求項1乃至4のいずれかにおいて、前記第2層間絶縁膜の膜厚は150nm～1μmであることを特徴とする半導体装置。

【請求項6】絶縁表面上にTFTを少なくとも含む半導体装置において、  
前記TFTを形成する第1配線の上方には第1層間絶縁膜と、第2層間絶縁膜と、第2配線とが形成され、  
前記TFTのソース領域またはドレイン領域の上方にはゲート絶縁膜と、第1層間絶縁膜と、前記第2配線とが形成されていることを特徴とする半導体装置。

【請求項7】請求項6において、前記ゲート絶縁膜の膜厚と前記第1層間絶縁膜の膜厚との和は0.1μm以上であることを特徴とする半導体装置。

【請求項8】絶縁表面上にTFTを少なくとも含む半導体装置において、

前記TFTを形成する第1配線の上方には第1層間絶縁膜及び第2層間絶縁膜を介して第2配線が存在していることを特徴とする半導体装置。

【請求項9】請求項8において、前記TFTのソース領域またはドレイン領域の上方には第1層間絶縁膜が存在していることを特徴とする半導体装置。

【請求項10】請求項8または請求項9において、前記TFTは逆スタガ型TFTであることを特徴とする半導体装置。

【請求項11】請求項6乃至10のいずれかにおいて、前記第1配線はゲート配線であることを特徴とする半導体装置。

【請求項12】同一基板上に画素回路と該画素回路を制御するための駆動回路とを少なくとも含む半導体装置において、

2

前記画素回路を形成する画素TFTのチャネル形成領域は、ゲート絶縁膜を介してゲート配線の一部と重なるように形成され、該ゲート配線の一部はエッチングレートの異なる複数の絶縁膜を介して第2配線と重なっていることを特徴とする半導体装置。

【請求項13】請求項6乃至12のいずれかにおいて、前記第2配線はソース線またはドレイン線であることを特徴とする半導体装置。

【請求項14】請求項12または請求項13において、  
前記駆動回路を形成するnチャネル型TFTのLDD領域は、少なくとも一部または全部が、該nチャネル型TFTのゲート配線と重なるように形成され、  
前記画素回路を形成する画素TFTのLDD領域は、該画素TFTのゲート電極と重ならないように形成されていることを特徴とする半導体装置。

【請求項15】請求項12乃至14のいずれかにおいて、前記駆動回路を形成するnチャネル型TFTのLDD領域は、少なくとも一部または全部が、該nチャネル型TFTのゲート電極と重なるように形成され、  
前記画素回路を形成する画素TFTのLDD領域は、該画素TFTのゲート電極と重ならないように形成され、  
前記画素回路の保持容量は有機樹脂膜の上に設けられた遮蔽膜、該遮蔽膜の酸化物および画素電極で形成されていることを特徴とする半導体装置。

【請求項16】請求項1乃至請求項15に記載された半導体装置とは、アクティブマトリクス型液晶ディスプレイ、アクティブマトリクス型ELディスプレイまたはアクティブマトリクス型ECディスプレイであることを特徴とする半導体装置。

【請求項17】請求項16に記載された半導体装置を表示部として用いたゴーグル型ディスプレイ。

【請求項18】請求項16に記載された半導体装置を表示部として用いたビデオカメラ、デジタルカメラ、プロジェクター、カーナビゲーション、パーソナルコンピュータ、または携帯情報端末。

【請求項19】絶縁表面上に第1配線を形成する第1工程と、

前記第1配線を覆う第1層間絶縁膜を形成する第2工程と、

前記第1層間絶縁膜上に第2層間絶縁膜を形成する第3工程と、

前記第2層間絶縁膜の一部を選択的に除去する第4工程と、

前記第1配線と重なる第2層間絶縁膜上に第2配線を形成する第5工程とを有することを特徴とする半導体装置の作製方法。

【請求項20】絶縁表面上にTFTを少なくとも含む半導体装置の作製方法において、絶縁表面上に活性層を形成する第1工程と、前記活性層に接してゲート絶縁膜を形成する第2工程と、前記活性層の一部にn型不純物元

(3)

3

素またはp型不純物元素を添加してソース領域またはドレイン領域を形成する第3工程と、ゲート配線及びゲート電極を覆う第1層間絶縁膜を形成する第4工程と、前記第1層間絶縁膜上に第2層間絶縁膜を形成する第5工程と、前記第2層間絶縁膜にエッチングを行い、前記ソース領域または前記ドレイン領域の上方の第2層間絶縁膜を除去する第6工程と、前記第1層間絶縁膜及び前記ゲート絶縁膜にエッチングを行い、前記ソース領域またはドレイン領域に達するコンタクトホールを形成する第7工程と、前記ゲート電極と重なる前記第2層間絶縁膜上に、前記ソース領域またはドレイン領域と接する第2配線を形成する第8工程とを有することを特徴とする半導体装置の作製方法。

【請求項21】同一基板上に画素回路と該画素回路を制御するための駆動回路とを少なくとも含む半導体装置の作製方法において、絶縁表面上に活性層を形成する第1工程と、前記活性層に接してゲート絶縁膜を形成する第2工程と、前記ゲート絶縁膜上にゲート配線及びゲート電極を形成する第3工程と、前記活性層の一部にn型不純物元素またはp型不純物元素を添加し、n型不純物領域またはp型不純物領域を形成する第4工程と、ゲート配線及びゲート電極を覆う第1層間絶縁膜を形成する第5工程と、前記ゲート電極と重なる第1層間絶縁膜上に第2層間絶縁膜を選択的に形成する第6工程と、前記第1層間絶縁膜及び前記ゲート絶縁膜にエッチングを行い、前記n型不純物領域または前記p型不純物領域に達するコンタクトホールを形成する第7工程と、前記ゲート電極と重なる前記第2層間絶縁膜上に、前記n型不純物領域または前記p型不純物領域と接する第2配線を形成する第8工程とを有することを特徴とする半導体装置の作製方法。

【請求項22】同一基板上に画素回路と該画素回路を制御するための駆動回路とを少なくとも含む半導体装置の作製方法において、絶縁表面上に活性層を形成する第1工程と、前記活性層に接してゲート絶縁膜を形成する第2工程と、前記ゲート絶縁膜上にゲート配線及びゲート電極を形成する第3工程と、前記活性層の一部にn型不純物元素またはp型不純物元素を添加し、n型不純物領域またはp型不純物領域を形成する第4工程と、ゲート配線及びゲート電極を覆う第1層間絶縁膜を形成する第5工程と、前記第1層間絶縁膜及び前記ゲート絶縁膜にエッチングを行い、前記n型不純物領域または前記p型不純物領域に達するコンタクトホールを形成する第6工程と、前記第1層間絶縁膜上に第2層間絶縁膜を選択的に形成する第7工程と、前記ゲート電極と重なる前記第2層間絶縁膜上に、前記n型不純物領域または前記p型不純物領域と接する第2配線を形成する第8工程とを有することを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

4

【発明の属する技術分野】本願発明は薄膜トランジスタ（以下、TFTという）で構成された回路を有する半導体装置およびその作製方法に関する。例えば、液晶表示パネルに代表される電気光学装置およびその様な電気光学装置を部品として搭載した電子機器に関する。

【0002】なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

10 【0003】

【従来の技術】絶縁表面を有する基板上にTFTで形成した大面積集積回路を有する半導体装置の開発が進んでいる。アクティブマトリクス型液晶表示装置、EL表示装置、および密着型イメージセンサはその代表例として知られている。特に、結晶質シリコン膜（典型的にはポリシリコン膜）を活性層にしたTFT（以下、ポリシリコンTFTと記す）は電界効果移動度が高いことから、いろいろな機能回路を形成することも可能である。

20 【0004】例えば、アクティブマトリクス型液晶表示装置には、機能ブロックごとに画像表示を行う画素回路や、CMOS回路を基本としたシフトレジスタ回路、レベルシフト回路、バッファ回路、サンプリング回路などの画素回路を制御するための駆動回路が一枚の基板上に形成される。

30 【0005】アクティブマトリクス型液晶表示装置の画素回路には、数十から数百万個の各画素にTFTが配置され、そのTFTのそれぞれには画素電極が設けられている。液晶を挟んだ対向基板側には対向電極が設けられており、液晶を誘電体とした一種のコンデンサを形成している。そして、各画素に印加する電圧をTFTのスイッチング機能により制御して、このコンデンサへの電荷を制御することで液晶を駆動し、透過光量を制御して画像を表示する仕組みになっている。

【0006】

【発明が解決しようとする課題】絶縁表面上に画素回路及び駆動回路を形成した場合、形成される多層配線間で必然的に容量（寄生容量）が生じてしまう。

40 【0007】この寄生容量の大きさは、下層配線と上層配線とが重なっている電極面積や、重なっている下層配線と上層配線との間の絶縁膜の膜厚等で決定される。

【0008】近年、回路の小型化及び低電力化が進むにつれ、この寄生容量の影響が無視できないほど大きくなっている。そこで、この寄生容量の影響を低下させるために補助容量の電極面積を大きくすることが提案されているが、電極面積を大きくすると画素領域の開口率が低下するという問題があった。

【0009】また、下層配線と上層配線とが重ならないようにすると、同様に画素領域の開口率が低下する。

50 【0010】特に、対角1インチ以下のアクティブマトリクス型液晶表示装置においては、開口率が最も重要視

(4)

5

されている。

【0011】画素領域の開口率を向上させるためには、配線面積を抑えるために配線幅を小さくしたり、下層配線と上層配線を可能な限り重ねて多層配線を形成することが行われている。

【0012】また、回路の小型化によってTFTのソース領域やドレイン領域に達するコンタクトホール寸法の微細化されている。良好なコンタクト接続をとるためには、コンタクトホールをテーパ状に加工して傾斜を持たせるようにすればよいが、極端なテーパ形状加工を行うとコンタクトホール寸法が大きくなってしまう。例えば0.5～1.5μm程度の直径を有する微小なコンタクトホールを形成しようとした場合、TFTのソース領域やドレイン領域の膜厚は10nm～50nmと薄いため、層間絶縁膜が厚いとエッチング条件によってはオーバーエッチングやエッチング残りなどのエッチング不良が発生していた。

【0013】本発明はこのような課題を解決するための技術であり、多層配線間で形成される寄生容量を低減し、表示特性を向上させることを目的とする。また、そのような半導体装置を実現するための作製方法を提供することを課題とする。

【0014】

【課題を解決するための手段】本明細書で開示する発明の構成は、絶縁表面上に第1配線と、前記第1配線を覆う第1層間絶縁膜と、前記第1層間絶縁膜の一部に接して第2層間絶縁膜と、前記第1層間絶縁膜及び前記第2層間絶縁膜上に第2配線とを有し、前記第1配線と前記第2配線とが重なっている領域には、前記第1層間絶縁膜と前記第2層間絶縁膜とが積層されていることを特徴とする半導体装置である。

【0015】上記構成において、前記第1層間絶縁膜のエッチングレートは、前記第2層間絶縁膜のエッチングレートより小さいことを特徴としている。

【0016】また、上記各構成において、前記第1層間絶縁膜の前記第2層間絶縁膜に対するエッチングレートの選択比は、1.5以上であることが望ましい。

【0017】また、上記各構成において、前記第1層間絶縁膜の膜厚は50～300nmであることを特徴としている。

【0018】また、上記各構成において、前記第2層間絶縁膜の膜厚は150nm～1μmであることを特徴としている。

【0019】また、他の発明の構成は、絶縁表面上にTFTを少なくとも含む半導体装置において、前記TFTを形成する第1配線の上方には第1層間絶縁膜と、第2層間絶縁膜と、第2配線とが形成され、前記TFTのソース領域またはドレイン領域の上方にはゲート絶縁膜と、第1層間絶縁膜と、前記第2配線とが形成されていることを特徴とする半導体装置である。

6

【0020】上記構成において、前記ゲート絶縁膜の膜厚と前記第1層間絶縁膜の膜厚との和は0.1μm以上であることを特徴としている。

【0021】また、他の発明の構成は、絶縁表面上にTFTを少なくとも含む半導体装置において、前記TFTを形成する第1配線の上方には第1層間絶縁膜及び第2層間絶縁膜を介して第2配線が存在していることを特徴とする半導体装置である。

【0022】上記構成において、前記TFTのソース領域またはドレイン領域の上方には第1層間絶縁膜が存在していることを特徴としている。

【0023】また、上記各構成において、前記TFTは逆スタガ型TFTであることを特徴としている。

【0024】また、上記各構成において、前記第1配線はゲート配線である。

【0025】また、他の発明の構成は、同一基板上に画素回路と該画素回路を制御するための駆動回路とを少なくとも含む半導体装置において、前記画素回路を形成する画素TFTのチャネル形成領域は、ゲート絶縁膜を介してゲート配線の一部と重なるように形成され、該ゲート配線の一部はエッチングレートの異なる複数の絶縁膜を介して第2配線と重なっていることを特徴とする半導体装置である。

【0026】また、上記各構成において、前記第2配線はソース線またはドレイン線である。

【0027】上記各構成において、前記駆動回路を形成するnチャネル型TFTのLDD領域は、少なくとも一部または全部が、該nチャネル型TFTのゲート配線と重なるように形成され、前記画素回路を形成する画素TFTのLDD領域は、該画素TFTのゲート電極と重ならないように形成されていることを特徴としている。

【0028】上記各構成において、前記駆動回路を形成するnチャネル型TFTのLDD領域は、少なくとも一部または全部が、該nチャネル型TFTのゲート電極と重なるように形成され、前記画素回路を形成する画素TFTのLDD領域は、該画素TFTのゲート電極と重ならないように形成され、前記画素回路の保持容量は有機樹脂膜の上に設けられた遮蔽膜、該遮蔽膜の酸化物および画素電極で形成されていることを特徴としている。

【0029】また、上記構造を実現するための発明の構成は、絶縁表面上に第1配線を形成する第1工程と、前記第1配線を覆う第1層間絶縁膜を形成する第2工程と、前記第1層間絶縁膜上に第2層間絶縁膜を形成する第3工程と、前記第2層間絶縁膜の一部を選択的に除去する第4工程と、前記第1配線と重なる第2層間絶縁膜上に第2配線を形成する第5工程とを有することを特徴とする半導体装置の作製方法である。

【0030】また、他の発明の構成は、絶縁表面上にTFTを少なくとも含む半導体装置の作製方法において、絶縁表面上に活性層を形成する第1工程と、前記活性層



(5)

7

に接してゲート絶縁膜を形成する第2工程と、前記活性層の一部にn型不純物元素またはp型不純物元素を添加してソース領域またはドレイン領域を形成する第3工程と、ゲート配線及びゲート電極を覆う第1層間絶縁膜を形成する第4工程と、前記第1層間絶縁膜上に第2層間絶縁膜を形成する第5工程と、前記第2層間絶縁膜にエッチングを行い、前記ソース領域または前記ドレイン領域の上方の第2層間絶縁膜を除去する第6工程と、前記第1層間絶縁膜及び前記ゲート絶縁膜にエッチングを行い、前記ソース領域またはドレイン領域に達するコンタクトホールを形成する第7工程と、前記ゲート電極と重なる前記第2層間絶縁膜上に、前記ソース領域またはドレイン領域と接する第2配線を形成する第8工程とを有することを特徴とする半導体装置の作製方法である。

【0031】また、他の発明の構成は、同一基板上に画素回路と該画素回路を制御するための駆動回路とを少なくとも含む半導体装置の作製方法において、絶縁表面上に活性層を形成する第1工程と、前記活性層に接してゲート絶縁膜を形成する第2工程と、前記ゲート絶縁膜上にゲート配線及びゲート電極を形成する第3工程と、前記活性層の一部にn型不純物元素またはp型不純物元素を添加し、n型不純物領域またはp型不純物領域を形成する第4工程と、ゲート配線及びゲート電極を覆う第1層間絶縁膜を形成する第5工程と、前記ゲート電極と重なる第1層間絶縁膜上に第2層間絶縁膜を選択的に形成する第6工程と、前記第1層間絶縁膜及び前記ゲート絶縁膜にエッチングを行い、前記n型不純物領域または前記p型不純物領域に達するコンタクトホールを形成する第7工程と、前記ゲート電極と重なる前記第2層間絶縁膜上に、前記n型不純物領域または前記p型不純物領域と接する第2配線を形成する第8工程とを有することを特徴とする半導体装置の作製方法である。

【0032】また、他の発明の構成は、同一基板上に画素回路と該画素回路を制御するための駆動回路とを少なくとも含む半導体装置の作製方法において、絶縁表面上に活性層を形成する第1工程と、前記活性層に接してゲート絶縁膜を形成する第2工程と、前記ゲート絶縁膜上にゲート配線及びゲート電極を形成する第3工程と、前記活性層の一部にn型不純物元素またはp型不純物元素を添加し、n型不純物領域またはp型不純物領域を形成する第4工程と、ゲート配線及びゲート電極を覆う第1層間絶縁膜を形成する第5工程と、前記第1層間絶縁膜及び前記ゲート絶縁膜にエッチングを行い、前記n型不純物領域または前記p型不純物領域に達するコンタクトホールを形成する第6工程と、前記第1層間絶縁膜上に第2層間絶縁膜を選択的に形成する第7工程と、前記ゲート電極と重なる前記第2層間絶縁膜上に、前記n型不純物領域または前記p型不純物領域と接する第2配線を形成する第8工程とを有することを特徴とする半導体装置の作製方法である。

8

【0033】

【発明の実施の形態】本願発明の実施形態について、図5を用いて以下に説明する。

【0034】図5に示すように、本願発明では、開口率を向上させるため、画素TF Tのチャンネル形成領域213、214と重なるゲート電極の一部または全部と第2配線（ソース線またはドレイン線）154、157とを重ねる。また、ゲート電極と第2配線154、157の間には第1層間絶縁膜149及び第2層間絶縁膜150cを設け、寄生容量を低減する。なお、図8(B)に図5に対応する表示領域の上面図を示した。

【0035】また、ゲート電極と第2配線が重なる領域のみに選択的に第2層間絶縁膜150cが設けられているため、画素TF Tのソース領域またはドレイン領域に達するコンタクトホールの開口を行いやすい。

【0036】また、駆動回路においては、絶縁膜115上に設けられたゲート配線と第2配線151とが交差して重なっている領域に第2層間絶縁膜150bを選択的に形成すればよい。なお、図7(B)に図5に対応する駆動回路の上面図を示した。

【0037】なお、第1層間絶縁膜及び第2層間絶縁膜としては珪素を含む絶縁膜を用いる。珪素を含む絶縁膜としては、酸化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜を用いることができる。これらの膜の成膜方法にはプラズマCVD、減圧CVD、ECRCVD等のCVD法や、スパッタ法等を用いればよい。なお、プラズマCVDを用い、原料ガスにSi源としてTEOS等の有機シランを、O源としてO<sub>2</sub>またはO<sub>3</sub>を用いればTEOS膜と呼ばれる絶縁膜が形成される。また、原料ガスにSi源としてSiH<sub>4</sub>（モノシラン）またはジシラン等の無機シランを用い、O源としてO<sub>2</sub>やO<sub>3</sub>やN<sub>2</sub>Oを用いることができる。なお、減圧CVD法を用い、Si源としてSiH<sub>4</sub>（モノシラン）、O源としてO<sub>2</sub>やO<sub>3</sub>やN<sub>2</sub>Oを用いればLT O膜と呼ばれる絶縁膜が形成される。

【0038】なお、窒化酸化シリコン膜は、珪素、窒素及び酸素を所定の量で含む絶縁膜であり、SiO<sub>x</sub>N<sub>y</sub>で表される絶縁膜である。ただし、窒化酸化シリコン膜におけるSiの濃度に対するNの濃度比は0.1以上0.8以下にする。珪素、酸素、窒素等を含む絶縁膜の組成の制御は原料ガスの種類、流量、基板温度、圧力、RFパワー、電極間隔を適宜調節することによって行う。

【0039】第1層間絶縁膜の膜厚は特に限定されないが、ゲート絶縁膜と同時または順次エッチングし、シリコン層に達するコンタクトホールを形成する際、シリコン層は薄いため、シリコン層と十分選択比が取れる条件（絶縁膜材料、膜厚、エッチングガス等）でエッチングを行うことが重要である。なお、これらの条件を考慮に  
50 いると、第1層間絶縁膜の膜厚は薄くする（例えば2

(6)

9

0.0 nm以下) ことが望ましい。ただし、活性化工程での酸化からゲート配線を保護する膜厚は必要である。また、微小なコンタクトホールを形成する上では、コンタクトホール形成領域に第2層間絶縁膜が存在しないようにすることが望ましい。

【0040】また、上記構造を実現する本願発明の作製工程は、第2層間絶縁膜のみを選択的にウエットエッチングする工程(図4(B))を有しているため、第2層間絶縁膜に用いる材料は、第1層間絶縁膜よりもエッチングレートの大きな材料とすることが望ましい。

【0041】第1層間絶縁膜と同じ原料ガスを用いて第2層間絶縁膜を成膜する場合でも、第1層間絶縁膜の成膜温度より10℃以上低い温度で成膜するとエッチングレートの大きな膜を得ることができる。

【0042】また、第1層間絶縁膜に熱アニール(750~850℃、15分~4時間)を施し、第1層間絶縁膜のエッチングレートを小さくすることによって、第2層間絶縁膜との選択比を大きくしてもよい。

【0043】なお、第2層間絶縁膜のみを選択的にエッチングする工程の際、ドライエッチングを用いることは可能であるが、第1層間絶縁膜と選択比が十分取れ、テーパー形状が得られるウエットエッチングが望ましい。なお、第2層間絶縁膜の膜厚としては、寄生容量が問題にならない膜厚、例えば0.5 μm以上であれば特に限定されない。また、異方性エッチングを用いてもよい。

【0044】また、ソース領域またはドレイン領域に達するコンタクトホール形成の他の方法として、図12に示すようにドライエッチングでゲート絶縁膜及び第1層間絶縁膜にコンタクトホールを形成した後、第2層間絶縁膜を積層して再度、ウエットエッチングで第2層間絶縁膜にコンタクトホールを形成してもよい。

【0045】また、第2層間絶縁膜のみを選択的にエッチングする工程として第1層間絶縁膜上に、薄い窒化シリコン膜や、DLC膜や、AlN膜、やAlNO膜等を積層し、それをエッチングのブロッキング層として用いればドライエッチングを用いて第2層間絶縁膜を選択的にエッチングすることができる。また、ドライエッチングを用いてもレジスト形状を変えればテーパー形状とすることができ

【0046】ここでは、ゲート配線と第2配線との間に2層の層間絶縁膜(第1層間絶縁膜及び第2層間絶縁膜)を用いたが、3層、あるいはそれ以上の層間絶縁膜を積層させてもよい。

【0047】上記本願発明の構成とすることで、ゲート電極と第2配線とを重ねるレイアウトとしても寄生容量による表示特性への悪影響をなくすることができる。また、対角1インチ以下のアクティブマトリクス型液晶表示装置であっても、ゲート配線と第2配線とで形成される寄生容量が十分小さく、微小なコンタクトホール(直径が約0.5 μm~1.5 μm)を形成することができ

10

る。

【0048】以上の構成でなる本願発明について、以下に示す実施例でもってさらに詳細な説明を行うこととする。

【0049】

【実施例】[実施例1] 本発明の実施例について図1~図5を用いて説明する。ここでは、同一基板上に画素回路とその画素回路を制御するための駆動回路とを同時に作製する方法について説明する。但し、説明を簡単にするために、駆動回路では、シフトレジスタ回路、バッファ回路等の基本回路であるCMOS回路と、サンプリング回路を形成するnチャネル型TFTとを図示することとする。

【0050】図1(A)において、基板101には、石英基板やシリコン基板を使用することが望ましい。本実施例では石英基板を用いた。その他にも金属基板またはステンレス基板の表面に絶縁膜を形成したものを基板としても良い。本実施例の場合、800℃以上の温度に耐えうる耐熱性を要求されるので、それを満たす基板であればどのような基板を用いても構わない。

【0051】そして、基板101のTFTが形成される表面には、20~100 nm(好ましくは40~80 nm)の厚さの非晶質構造を含む半導体膜102を減圧熱CVD法、プラズマCVD法またはスパッタ法で形成する。なお、本実施例では60 nm厚の非晶質シリコン膜を形成するが、後に熱酸化工程があるのでこの膜厚が最終的なTFTの活性層の膜厚になるわけではない。

【0052】また、非晶質構造を含む半導体膜としては、非晶質半導体膜、微結晶半導体膜があり、さらに非晶質シリコンゲルマニウム膜などの非晶質構造を含む化合物半導体膜も含まれる。

【0053】また、基板上に下地膜と非晶質シリコン膜とを大気解放しないで連続的に形成することも有効である。そうすることにより基板表面の汚染が非晶質シリコン膜に影響を与えないようにすることが可能となり、作製されるTFTの特性バラツキを低減させることができる。

【0054】次に、非晶質シリコン膜102上に珪素(シリコン)を含む絶縁膜でなるマスク膜103を形成し、パターニングによって開口部104a、104bを形成する。この開口部は、次の結晶化工程の際に結晶化を助長する触媒元素を添加するための添加領域となる。

(図1(A))

【0055】なお、珪素を含む絶縁膜としては、酸化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜を用いることができる。窒化酸化シリコン膜は、珪素、窒素及び酸素を所定の量で含む絶縁膜であり、SiO<sub>x</sub>N<sub>y</sub>で表される絶縁膜である。窒化酸化シリコン膜はSiH<sub>4</sub>、N<sub>2</sub>O及びNH<sub>3</sub>を原料ガスとして作製することが可能であり、含有する窒素濃度が2.5 atomic%以上5.0 a

(7)

11

atomic%未満とすると良い。

【0056】また、このマスク膜103のパターニングを行うと同時に、後のパターニング工程の基準となるマーカーパターンを形成しておく。

【0057】次に、特開平10-247735号公報（米国出願番号09/034,041に対応）に記載された技術に従って、結晶構造を含む半導体膜を形成する。同公報記載の技術は、非晶質構造を含む半導体膜の結晶化に際して、結晶化を助長する触媒元素（ニッケル、コバルト、ゲルマニウム、錫、鉛、パラジウム、鉄、銅から選ばれた一種または複数種の元素）を用いる結晶化手段である。

【0058】具体的には、非晶質構造を含む半導体膜の表面に触媒元素を保持させた状態で加熱処理を行い、非晶質構造を含む半導体膜を、結晶構造を含む半導体膜に変化させるものである。なお、結晶化手段としては、特開平7-130652号公報の実施例1に記載された技術を用いても良い。また、結晶質構造を含む半導体膜には、いわゆる単結晶半導体膜も多結晶半導体膜も含まれるが、同公報で形成される結晶構造を含む半導体膜は結晶粒界を有している。

【0059】なお、同公報では触媒元素を含む層をマスク膜上に形成する際にスピコート法を用いているが、触媒元素を含む薄膜をスパッタ法や蒸着法といった気相法を用いて成膜する手段をとっても良い。

【0060】また、非晶質シリコン膜は含有水素量にもよるが、好ましくは400~550℃で1時間程度の加熱処理を行い、水素を十分に脱離させてから結晶化させることが望ましい。その場合、含有水素量を5atom%以下とすることが好ましい。

【0061】結晶化工程は、まず400~500℃で1時間程度の熱処理工程を行い、水素を膜中から脱離させた後、500~650℃（好ましくは550~600℃）で6~16時間（好ましくは8~14時間）の熱処理を行う。

【0062】本実施例では、触媒元素としてニッケルを用い、570℃で14時間の熱処理を行う。その結果、開口部104a、104bを起点として概略基板と平行な方向（矢印で示した方向）に結晶化が進行し、巨視的な結晶成長方向が揃った結晶構造を含む半導体膜（本実施例では結晶質シリコン膜）105a~105dが形成される。（図1（B））

【0063】次に、結晶化の工程で用いたニッケルを結晶質シリコン膜から除去するゲッタリング工程を行う。本実施例では、先ほど形成したマスク膜103をそのままマスクとして15族に属する元素（本実施例ではリン）を添加する工程を行い、開口部104a、104bで露出した結晶質シリコン膜に $1 \times 10^{19} \sim 1 \times 10^{20}$  atoms/cm<sup>3</sup>の濃度でリンを含むリン添加領域（以下、ゲッタリング領域という）106a、106bを形成する。

12

（図1（C））

【0064】次に、窒素雰囲気中で450~650℃（好ましくは500~550℃）、4~24時間（好ましくは6~12時間）の熱処理工程を行う。この熱処理工程により結晶質シリコン膜中のニッケルは矢印の方向に移動し、リンのゲッタリング作用によってゲッタリング領域106a、106bに捕獲される。即ち、結晶質シリコン膜中からニッケルが除去されるため、ゲッタリング後の結晶質シリコン膜107a~107dに含まれるニッケル濃度は、 $1 \times 10^{17}$  atoms/cm<sup>3</sup>以下、好ましくは $1 \times 10^{16}$  atoms/cm<sup>3</sup>にまで低減することができる。

【0065】次に、マスク膜103を除去し、結晶質シリコン膜107a~107d上に後の不純物添加工程のために保護膜108を形成する。保護膜108は100~200nm（好ましくは130~170nm）の厚さの窒化酸化シリコン膜または酸化シリコン膜を用いると良い。この保護膜108は不純物添加時に結晶質シリコン膜が直接プラズマに曝されないようにするためと、微妙な濃度制御を可能にするための意味がある。

【0066】そして、その上にレジストマスク109を形成し、保護膜108を介してp型を付与する不純物元素（以下、p型不純物元素という）を添加する。p型不純物元素としては、代表的には13族に属する元素、典型的にはボロンまたはガリウムを用いることができる。この工程（チャネルドープ工程という）はTFTのしきい値電圧を制御するための工程である。なお、ここではジボラン（B<sub>2</sub>H<sub>6</sub>）を質量分離しないでプラズマ励起したイオンドープ法でボロンを添加する。勿論、質量分離を行うイオンインプランテーション法を用いても良い。

【0067】この工程により $1 \times 10^{15} \sim 1 \times 10^{18}$  atoms/cm<sup>3</sup>（代表的には $5 \times 10^{16} \sim 5 \times 10^{17}$  atoms/cm<sup>3</sup>）の濃度でp型不純物元素（本実施例ではボロン）を含む不純物領域110a、110bを形成する。なお、本明細書中では上記濃度範囲でp型不純物元素を含む不純物領域（但し、リンは含まれていない領域）をp型不純物領域（b）と定義する。（図1（D））

【0068】次に、レジストマスク109を除去し、結晶質シリコン膜をパターニングして島状の半導体層（以下、活性層という）111~114を形成する。なお、活性層111~114は、ニッケルを選択的に添加して結晶化することによって、非常に結晶性の良い結晶質シリコン膜で形成されている。具体的には、棒状または柱状の結晶が、特定の方向性を持って並んだ結晶構造を有している。また、結晶化後、ニッケルをリンのゲッタリング作用により除去又は低減しており、活性層111~114中に残存する触媒元素の濃度は、 $1 \times 10^{17}$  atoms/cm<sup>3</sup>以下、好ましくは $1 \times 10^{16}$  atoms/cm<sup>3</sup>である。（図1（E））

【0069】また、pチャネル型TFTの活性層111は意図的に添加された不純物元素を含まない領域であ

(8)

13

り、nチャネル型TFTの活性層112~114はp型不純物領域(b)となっている。本明細書中では、この状態の活性層111~114は全て真性または実質的に真性であると定義する。即ち、TFTの動作に支障をきたさない程度に不純物元素が意図的に添加されている領域が実質的に真性な領域と考えて良い。

【0070】次に、プラズマCVD法またはスパッタ法により10~100nm厚の珪素を含む絶縁膜を形成する。本実施例では、30nm厚の窒化酸化シリコン膜を形成する。この珪素を含む絶縁膜は、他の珪素を含む絶縁膜を単層または積層で用いても構わない。

【0071】次に、800~1150℃(好ましくは900~1000℃)の温度で15分~8時間(好ましくは30分~2時間)の熱処理工程を、酸化性雰囲気下で行う(熱酸化工程)。本実施例では酸素雰囲気中に3体積%の塩化水素を添加した雰囲気中で950℃80分の熱処理工程を行う。なお、図1(D)の工程で添加されたボロンはこの熱酸化工程の間に活性化される。(図2(A))

【0072】なお、酸化性雰囲気としては、ドライ酸素雰囲気でもウェット酸素雰囲気でも良いが、半導体層中の結晶欠陥の低減にはドライ酸素雰囲気が適している。また、本実施例では酸素雰囲気中にハロゲン元素を含ませた雰囲気としたが、100%酸素雰囲気で行っても構わない。

【0073】この熱酸化工程の間、珪素を含む絶縁膜とその下の活性層111~114との界面においても酸化反応が進行する。本願発明ではそれを考慮して最終的に形成されるゲート絶縁膜115の膜厚が50~200nm(好ましくは100~150nm)となるように調節する。本実施例の熱酸化工程では、60nm厚の活性層のうち25nmが酸化されて活性層111~114の膜厚は45nmとなる。また、30nm厚の珪素を含む絶縁膜に対して50nm厚の熱酸化膜が加わるので、最終的なゲート絶縁膜115の膜厚は110nmとなる。

【0074】次に、新たにレジストマスク116~119を形成する。そして、n型を付与する不純物元素(以下、n型不純物元素という)を添加してn型を呈する不純物領域120~122を形成する。なお、n型不純物元素としては、代表的には15族に属する元素、典型的にはリンまたは砒素を用いることができる。(図2(B))

【0075】この不純物領域120~122は、後にCMOS回路およびサンプリング回路のnチャネル型TFTにおいて、LDD領域として機能させるための不純物領域である。なお、ここで形成された不純物領域にはn型不純物元素が $2 \times 10^{16} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ (代表的には $5 \times 10^{17} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ )の濃度で含まれている。本明細書中では上記濃度範囲でn型不純物元素を含む不純物領域をn型不純物領域(b)と定義

14

する。

【0076】なお、ここではフォスフィン(PH<sub>3</sub>)を質量分離しないでプラズマ励起したイオンドープ法でリンを $1 \times 10^{18} \text{ atoms/cm}^3$ の濃度で添加する。勿論、質量分離を行うイオンインプランテーション法を用いても良い。この工程では、ゲート膜115を介して結晶質シリコン膜にリンを添加する。

【0077】次に、600~1000℃(好ましくは700~800℃)の不活性雰囲気中で熱処理を行い、図2(B)の工程で添加されたリンを活性化する。本実施例では800℃、1時間の熱処理を窒素雰囲気中で行う。(図2(C))

【0078】この時、同時にリンの添加時に損傷した活性層及び活性層とゲート絶縁膜との界面を修復することが可能である。この活性化工程は電熱炉を用いたファーネスアニールが好ましいが、ランプアニールやレーザーアニールといった光アニールを併用しても良い。

【0079】この工程によりn型不純物領域(b)120~122の境界部、即ち、n型不純物領域(b)の周囲に存在する真性又は実質的に真性な領域(勿論、p型不純物領域(b)も含む)との接合部が明確になる。このことは、後にTFTが完成した時点において、LDD領域とチャネル形成領域とが非常に良好な接合部を形成しうることを意味する。

【0080】次に、ゲート配線となる導電膜を形成する。なお、ゲート配線は単層の導電膜で形成しても良いが、必要に応じて二層、三層といった積層膜とすることが好ましい。本実施例では、第1導電膜123と第2導電膜124とでなる積層膜を形成する。(図2(D))

【0081】ここで第1導電膜123、第2導電膜124としては、タンタル(Ta)、チタン(Ti)、モリブデン(Mo)、タングステン(W)、クロム(Cr)、シリコン(Si)から選ばれた元素、または前記元素を主成分とする導電膜(代表的には窒化タンタル膜、窒化タングステン膜、窒化チタン膜)、または前記元素を組み合わせた合金膜(代表的にはMo-W合金膜、Mo-Ta合金膜、タングステンシリサイド膜等)を用いることができる。

【0082】なお、第1導電膜123は10~50nm(好ましくは20~30nm)とし、第2導電膜124は200~400nm(好ましくは250~350nm)とすれば良い。本実施例では、第1導電膜123として、50nm厚の窒化タングステン(WN)膜を、第2導電膜124として、350nm厚のタングステン膜を用いる。なお、図示しないが、第1導電膜123の下にシリコン膜(リンがドーブされた)を2~20nm程度の厚さで形成しておくことは有効である。これによりその上に形成される導電膜の密着性の向上と、酸化防止を図ることができる。

【0083】また、第1導電膜123として窒化タンタ

(9)

15

ル膜、第2導電膜124としてタンタル膜を用いることも有効である。

【0084】次に、第1導電膜123と第2導電膜124とを一括でエッチングして400nm厚のゲート配線125~128を形成する。この時、駆動回路に形成されるゲート配線126、127はn型不純物領域(b)120~122の一部とゲート絶縁膜115を介して重なるように形成する。この重なった部分が後にLov領域となる。(図2(E))

【0085】なお、この状態における上面図を図6(A)及び図7(A)に示す。図6(A)中のA-A'断面が図2(E)に相当する。また、図7(A)中のB-B'断面が図2(E)に相当する。図2(E)でのゲート配線128a、128b、128cは断面では三つに見えるが実際は連続的に繋がった一つのパターンから形成されている。

【0086】また、ゲート配線形成後、第2導電膜を保護するために、窒化タンタル膜や窒化タングステン膜を積層して、再度パターンニングを施し、第2導電膜を囲ったゲート電極構造としてもよい。

【0087】次に、レジストマスク129を形成し、p型不純物元素(本実施例ではボロン)を添加して高濃度にボロンを含む不純物領域130、131を形成する。本実施例ではジボラン( $B_2H_6$ )を用いたイオンドープ法(勿論、イオンインプランテーション法でも良い)により $3 \times 10^{20} \sim 3 \times 10^{21} \text{ atoms/cm}^3$ (代表的には $5 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ )濃度でボロンを添加する。なお、本明細書中では上記濃度範囲でp型不純物元素を含む不純物領域をp型不純物領域(a)と定義する。(図3(A))

【0088】次に、レジストマスク129を除去し、ゲート配線及びpチャネル型TFETとなる領域を覆う形でレジストマスク132~134を形成する。そして、n型不純物元素(本実施例ではリン)を添加して高濃度にリンを含む不純物領域135~141を形成する。ここでも、フォスフィン( $PH_3$ )を用いたイオンドープ法(勿論、イオンインプランテーション法でも良い)で行い、この領域のリンの濃度は $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ (代表的には $2 \times 10^{20} \sim 5 \times 10^{21} \text{ atoms/cm}^3$ )とする。(図3(B))

【0089】なお、本明細書中では上記濃度範囲でn型不純物元素を含む不純物領域をn型不純物領域(a)と定義する。また、不純物領域135~141が形成された領域には既に前工程で添加されたリンまたはボロンが含まれるが、十分に高い濃度でリンが添加されることになるので、前工程で添加されたリンまたはボロンの影響は考えなくて良い。従って、本明細書中では不純物領域135~141はn型不純物領域(a)と言い換えても構わない。

【0090】次に、ゲート配線125~128をマスク

16

として自己整合的にn型不純物元素(本実施例ではリン)を添加する。こうして形成された不純物領域143~146には前記n型不純物領域(b)の $1/2 \sim 1/10$ (代表的には $1/3 \sim 1/4$ )の濃度(但し、前述のチャネルドープ工程で添加されたボロン濃度よりも5~10倍高い濃度、代表的には $1 \times 10^{16} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ 、典型的には $3 \times 10^{17} \sim 3 \times 10^{18} \text{ atoms/cm}^3$ )でリンが添加されるように調節する。なお、本明細書中では上記濃度範囲でn型不純物元素を含む不純物領域(但し、p型不純物領域(a)を除く)をn型不純物領域(c)と定義する。(図3(C))

【0091】なお、この工程ではゲート配線で隠された部分を除いて全ての不純物領域にも $1 \times 10^{16} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ の濃度でリンが添加されているが、非常に低濃度であるため各不純物領域の機能には影響を与えない。また、n型不純物領域(b)143~146には既にチャネルドープ工程で $1 \times 10^{15} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ の濃度のボロンが添加されているが、この工程ではp型不純物領域(b)に含まれるボロンの5~10倍の濃度でリンが添加されるので、この場合もボロンはn型不純物領域(b)の機能には影響を与えないと考えて良い。

【0092】但し、厳密にはn型不純物領域(b)147、148のうちゲート配線に重なった部分のリン濃度が $2 \times 10^{16} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ のままであるのに対し、ゲート配線に重ならない部分はそれに $1 \times 10^{16} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ の濃度のリンが加わっており、若干高い濃度でリンを含むことになる。

【0093】また、n型不純物領域(c)を形成する際に、前もってゲート配線の酸化を防ぐキャップ膜(25~100nm)を形成し、オフセット領域を形成してもよい。なお、オフセット領域とは、チャネル形成領域に接して形成され、チャネル形成領域と同一組成の半導体膜であるが、ゲート電圧が印加されないため反転層(チャネル領域)を形成しない高抵抗な領域を指す。オフ電流値を下げるためにはLDD領域とゲート配線の重なりを極力抑えることが重要であり、そういう意味でオフセット領域を設けることは有効と言える。

【0094】次に、第1層間絶縁膜149を形成する。第1層間絶縁膜149としては、珪素を含む絶縁膜、具体的には窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜またはそれらを組み合わせた積層膜で形成すれば良い。また、膜厚は100~400nm、好ましくは200nm以下とすれば良い。本実施例では、プラズマCVD法で成膜温度325℃、 $SiH_4$ 、 $N_2O$ を原料ガスとし、膜厚200nmの窒化酸化シリコン膜(ここでは窒素濃度が5atomic%未満)を用いた。

【0095】その後、それぞれの濃度で添加されたn型またはp型不純物元素を活性化するために熱処理工程を行った。この工程はファーネスアニール法、レーザーア

(10)

17

ニール法、ランプアニール法またはそれらを併用して行うことができる。ファーネスアニール法で行う場合は、不活性雰囲気中において500～800℃、好ましくは550～600℃で行えば良い。本実施例では800℃、1時間の熱処理を行い、不純物元素を活性化するとともに、第1層間絶縁膜149のエッチングレートを小さくして後に形成される第2層間絶縁膜との選択比を大きくした。第1層間絶縁膜149成膜直後のエッチングレート(20℃におけるLAL500の値)が260nm/minであったのに対し、熱アニール後の第1層間絶縁膜149のエッチングレートを88nm/minと小さくすることができた。(図3(D))

【0096】次に、活性化工程の後、3～100%の水素を含む雰囲気中で、300～450℃で1～4時間の熱処理を行い、活性層の水素化を行う。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

【0097】活性化工程を終えたら、第1層間絶縁膜149の上に500nm～1.5μm、好ましくは500nm～800nmの厚さを有する第2層間絶縁膜150aを形成する。この第2層間絶縁膜150aは、ゲート配線と上層配線との重なり部分やゲート電極(チャンネル形成領域上方に相当する)と上層配線との重なり部に生じる寄生容量の低減のために設けたものである。なお、第2層間絶縁膜150aは第1の層間絶縁膜と比較して\*

18

\*エッチングレートが大きい材料(プラズマCVD法で成膜温度400℃、SiH<sub>4</sub>、N<sub>2</sub>Oを原料ガスとした窒化酸化シリコン膜(但し窒素濃度が10atomic%以下)、エッチングレート210nm/min)を選択し、膜厚を500nmとした。

【0098】次に、ドライエッチングまたはウエットエッチングによるパターニングを施して、後に形成されるソース配線またはドレイン配線がゲート配線と重なる領域(150b、150c)のみに第2層間絶縁膜を残す。本実施例ではLAL500を用いたウエットエッチングを用いてパターニングした。上述したように、第2層間絶縁膜のエッチングレートは210nm/minであるのに対し、第1層間絶縁膜のエッチングレートは88nm/minであるので十分選択比が取れる。第1層間絶縁膜と第2層間絶縁膜との選択比は、1.5以上、好ましくは3～5有していればよい。(図4(B))

【0099】その後、第1層間絶縁膜及びゲート絶縁膜にパターニングを施し、TFTのソース領域またはドレイン領域に達するコンタクトホールを形成する。ただし、ソース領域およびドレイン領域の厚さは薄い(10nm～50nm)ため、オーバーエッチング量(ポリシリコン膜減り量)が所定値を越えないようエッチング条件を調節することが重要である。

【0100】コンタクトホール形成時のポリシリコン膜減り量の理論値を表1に示す。

【0101】

【表1】

### 層間絶縁膜200nm：コンタクトホール形成時のp-Si膜減り量

前提条件：

層間膜(200nm±5%) + GL膜(120nm±5%)

min 190nm+114nm=304nm

max 210nm+126nm=336nm

SiO<sub>2</sub>エッチングレートの平均値=300nm/min (5nm/sec)

オーバーエッチング時間=0秒

SiO <sub>2</sub> エッチング ばらつき(±%)	SELECTIVITY (SiO <sub>2</sub> /p-Si)									
	5	10	15	20	25	30	35	40	45	50
1	78	39	26	19	16	13	11	10	9	8
2	91	46	30	23	18	15	13	11	10	9
3	106	53	35	26	21	18	15	13	12	11
4	120	60	40	30	24	20	17	15	13	12
5	135	67	45	34	27	22	19	17	15	13
6	150	75	50	37	30	25	21	19	17	15
7	165	83	55	41	33	28	24	21	18	17
8	181	90	60	45	36	30	26	23	20	18
9	197	98	66	49	39	33	28	25	22	20
10	213	107	71	53	43	36	30	27	24	21
11	230	115	77	58	46	38	33	29	26	23
12	247	124	82	62	49	41	35	31	27	25
13	265	132	88	66	53	44	38	33	29	26
14	283	141	94	71	57	47	40	35	31	28
15	301	151	100	75	60	50	43	38	33	30

【0102】表1において、前提条件は、ポリシリコン膜上にゲート絶縁膜(窒素を含む酸化シリコン膜、膜厚120nm±5%)と第1層間絶縁膜(窒素を含む酸化シリコン膜、膜厚200nm±5%)とが積層された状態で、エッチングレートが300nm/minのドライエッチングを行う。エッチングレートは、フッ化水素ア

ンモニウムを7.13%とフッ化アンモニウムを15.4%含む混合溶液(ステラケミファ社製、商品名LAL500)の20℃における値である。縦軸はエッチングレートのばらつきを示し、横軸はポリシリコン膜と窒素を含む酸化シリコン膜の選択比である。

【0103】例えば、エッチングレートのばらつきが5



%であり、オーバーエッチング量が所定値、例えば5 nm以下となるようにしたい場合、表1から選択比を1.0よりも大きく持たせる必要があることが読み取れる。このようにして、表1からオーバーエッチング量を所定値以下とするためには、選択比がどれくらい必要かを求めることができる。また、選択比をある値とした場合、エッチングレートのばらつきはどれくらいに抑える必要があるかを求めることができる。また、第1層間絶縁膜が200 nmよりも大きい場合の表を表1と同様に作成した場合、選択比が大きく、エッチングレートのばらつきが極小でないとコンタクトホール形成は困難であることがわかった。

【0104】本実施例では、ポリシリコンとの選択比が1.2~1.5の絶縁材料を用い、エッチングレートのばらつきを5%以内に抑えたため、オーバーエッチングのほとんどないコンタクトホールを形成することができた。

【0105】そして、ソース配線151~154と、ドレイン配線155~157を形成する。ただし、コンタクトホールの大きさが1  $\mu$ m以下である場合には、コンタクトホールをドライエッチングで形成することが好ましい。なお、CMOS回路を形成するためにドレイン配線155はpチャネル型TFTとnチャネル型TFTとの間で共通化されている。また、図示していないが、本実施例ではこの配線を、Ti膜を200 nm、Tiを含むアルミニウム膜500 nm、Ti膜100 nmをスパッタ法で連続して形成した3層構造の積層膜とする。

【0106】次に、パッシベーション膜158として、窒化シリコン膜、酸化シリコン膜、または窒化酸化シリコン膜で50~500 nm（代表的には200~300 nm）の厚さで形成する。（図4（C））なお、この状態における上面図を図6（B）及び図7（B）に示す。図6（B）中のA-A'断面が図4（C）A-A'に相当する。また、図7（B）中のB-B'断面が図4（C）B-B'に相当する。

【0107】この時、本実施例では膜の形成に先立ってH<sub>2</sub>、NH<sub>3</sub>等水素を含むガスを用いてプラズマ処理を行い、成膜後に熱処理を行う。この前処理により励起された水素が第1、第2層間絶縁膜中に供給される。この状態で熱処理を行うことで、パッシベーション膜158の膜質を改善するとともに、第1、第2層間絶縁膜中に添加された水素が下層側に拡散するため、効果的に活性層を水素化することができる。

【0108】また、パッシベーション膜158を形成した後に、さらに水素化工程を行っても良い。例えば、3~100%の水素を含む雰囲気中で、300~450℃で1~12時間の熱処理を行うと良く、あるいはプラズマ水素化法を用いても同様の効果が得られる。なお、水素化工程後に画素電極とドレイン配線を接続するためのコンタクトホールを形成する位置において、パッシベーション膜158に開口部（図示せず）を形成しておいて

も良い。

【0109】その後、有機樹脂からなる第3層間絶縁膜159を約1  $\mu$ mの厚さに形成する。有機樹脂としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB（ベンゾシクロブテン）等を使用することができる。有機樹脂膜を用いることの利点は、成膜方法が簡単である点や、比誘電率が低いので、寄生容量を低減できる点、平坦性に優れる点などが上げられる。なお上述した以外の有機樹脂膜や有機系SiO化合物などを用いることもできる。ここでは、アクリルを用い、熱焼成して形成する。

【0110】次に、画素回路となる領域において、第3層間絶縁膜159上に遮蔽膜160を形成する。なお、本明細書中では光と電磁波を遮るという意味で遮蔽膜という文言を用いる。遮蔽膜160はアルミニウム（Al）、チタン（Ti）、タンタル（Ta）から選ばれた元素でなる膜またはいずれかの元素を主成分とする膜で100~300 nmの厚さに形成する。本実施例では1wt%のチタンを含有させたアルミニウム膜を125 nmの厚さに形成する。

【0111】なお、第3層間絶縁膜159上に酸化シリコン膜等の絶縁膜を5~50 nm形成しておくこと、この上に形成する遮蔽膜の密着性を高めることができる。また、有機樹脂で形成した第3層間絶縁膜159の表面にCF<sub>4</sub>ガスを用いたプラズマ処理を施すと、表面改質により膜上に形成する遮蔽膜の密着性を向上させることができる。

【0112】また、このチタンを含有させたアルミニウム膜を用いて、遮蔽膜だけでなく他の接続配線を形成することも可能である。例えば、駆動回路内で回路間をつなぐ接続配線を形成できる。但し、その場合は遮蔽膜または接続配線を形成する材料を成膜する前に、予め第3層間絶縁膜にコンタクトホールを形成しておく必要がある。

【0113】次に、遮蔽膜160の表面に陽極酸化法またはプラズマ酸化法（本実施例では陽極酸化法）により20~100 nm（好ましくは30~50 nm）の厚さの酸化物161を形成する。本実施例では遮蔽膜160としてアルミニウムを主成分とする膜を用いたため、陽極酸化物161として酸化アルミニウム膜（アルミナ膜）が形成される。

【0114】この陽極酸化処理に際して、まず十分にアルカリイオン濃度の小さい酒石酸エチレングリコール溶液を作製する。これは15%の酒石酸アンモニウム水溶液とエチレングリコールとを2:8で混合した溶液であり、これにアンモニア水を加え、pHが7±0.5となるように調節する。そして、この溶液中に陰極となる白金電極を設け、遮蔽膜160が形成されている基板を溶液に浸し、遮蔽膜160を陽極として、一定（数mA~数十mA）の直流電流を流す。

(12)

21

【0115】溶液中の陰極と陽極との間の電圧は陽極酸化物の成長に従い時間と共に変化するが、定電流のまま100V/minの昇圧レートで電圧を上昇させて、到達電圧45Vに達したところで陽極酸化処理を終了させる。このようにして遮蔽膜160の表面には厚さ約50nmの陽極酸化物161を形成することができる。また、その結果、遮蔽膜160の膜厚は90nmとなる。なお、ここで示した陽極酸化法に係わる数値は一例にすぎず、作製する素子の大きさ等によって当然最適値は変化しうるものである。

【0116】また、ここでは陽極酸化法を用いて遮蔽膜表面のみに絶縁膜を設ける構成としたが、絶縁膜をプラズマCVD法、熱CVD法またはスパッタ法などの気相法によって形成しても良い。その場合も膜厚は20~100nm（好ましくは30~50nm）とすることが好ましい。また、酸化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜、DLC（Diamond like carbon）膜、酸化タンタル膜または有機樹脂膜を用いても良い。さらに、これらを組み合わせた積層膜を用いても良い。

【0117】次に、第3層間絶縁膜159、パッシベーション膜158にドレイン配線157に達するコンタクトホールを形成し、画素電極162を形成する。なお、画素電極163は隣接する別の画素の画素電極である。画素電極162、163は、透過型液晶表示装置とする場合には透明導電膜を用い、反射型の液晶表示装置とする場合には金属膜を用いれば良い。ここでは透過型の液晶表示装置とするために、酸化インジウム・スズ（ITO）膜を110nmの厚さにスパッタ法で形成する。

【0118】また、この時、画素電極162と遮蔽膜160とが陽極酸化物161を介して重なり、保持容量（キャパシタンス・ストレージ）164を形成する。なお、この場合、遮蔽膜160をフローティング状態（電気的に孤立した状態）か固定電位、好ましくはコモン電位（データとして送られる画像信号の中間電位）に設定しておくことが望ましい。

【0119】こうして同一基板上に、駆動回路と画素回路とを有したアクティブマトリクス基板が完成した。なお、図5においては、駆動回路にはpチャンネル型TFT 301、nチャンネル型TFT 302、303が形成され、画素回路にはnチャンネル型TFTでなる画素TFT 304が形成される。

【0120】図5の断面図に対応する上面図を図8（B）に示し、共通の符号を用いた。また、図6（B）で示した上面図は図8（A）の一部を示した図であり、共通の符号を用いた。

【0121】駆動回路のpチャンネル型TFT 301には、チャンネル形成領域201、ソース領域202、ドレイン領域203がそれぞれp型不純物領域（a）で形成される。但し、厳密にはソース202領域及びドレイン領域203に $1 \times 10^{16} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ の濃度

22

でリンを含んでいる。

【0122】また、nチャンネル型TFT 302には、チャンネル形成領域204、ソース領域205、ドレイン領域206、そしてチャンネル形成領域とドレイン領域との間に、ゲート絶縁膜を介してゲート配線と重なった領域（本明細書中ではこのような領域をLov領域という。なお、ovはoverlapの意味で付した。）207が形成される。この時、Lov領域207は $2 \times 10^{16} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ の濃度でリンを含み、且つ、ゲート配線と全部重なるように形成される。

【0123】また、nチャンネル型TFT 303には、チャンネル形成領域208、ソース領域209、ドレイン領域210、そしてチャンネル形成領域を挟むようにしてLDD領域211、212が形成される。即ち、ソース領域とチャンネル形成領域との間及びドレイン領域とチャンネル形成領域との間にLDD領域が形成される。

【0124】なお、この構造ではLDD領域211、212の一部がゲート配線と重なるように配置されたために、ゲート絶縁膜を介してゲート配線と重なった領域（Lov領域）とゲート配線と重ならない領域（本明細書中ではこのような領域をLoff領域という。なお、offはoffsetの意味で付した。）が実現されている。

【0125】また、チャンネル長3~7 $\mu\text{m}$ に対してnチャンネル型TFT 302のLov領域207の長さ（幅）は0.3~3.0 $\mu\text{m}$ 、代表的には0.5~1.5 $\mu\text{m}$ とすれば良い。また、nチャンネル型TFT 303のLov領域の長さ（幅）は0.3~3.0 $\mu\text{m}$ 、代表的には0.5~1.5 $\mu\text{m}$ 、Loff領域の長さ（幅）は1.0~3.5 $\mu\text{m}$ 、代表的には1.5~2.0 $\mu\text{m}$ とすれば良い。また、画素TFT 304に設けられるLoff領域217~220の長さ（幅）は0.5~3.5 $\mu\text{m}$ 、代表的には2.0~2.5 $\mu\text{m}$ とすれば良い。

【0126】また、本実施例ではゲート配線をダブルゲート構造としたが、トリプルゲート構造といったマルチゲート構造として各回路の信頼性を向上させてもよい。また、シングルゲート構造としてもよい。

【0127】また、本実施例では保持容量の誘電体として比誘電率が7~9と高いアルミナ膜を用いたことで、必要な容量を形成するために必要な保持容量の占有面積を少なくすることができる。さらに、本実施例のように画素TFT上に形成される遮蔽膜を保持容量の一方の電極とすることで、アクティブマトリクス型液晶表示装置の画像表示部の開口率を向上させることができる。

【0128】なお、本発明は本実施例に示した保持容量の構造に限定される必要はない。例えば、本出願人による特願平9-316567号出願、特願平9-273444号出願または特願平10-254097号出願に記載された構造の保持容量を用いることもできる。

【0129】また、本願発明の構造は、ゲート配線と上層配線とが重なった領域に第2の層間絶縁膜を設ける構

(13)

23

成に特徴があるので、それ以外の構成については実施者が適宜決定すればよい。

【0130】ここでアクティブマトリクス基板から、アクティブマトリクス型液晶表示装置を作製する工程を説明する。図9に示すように、図5の状態の基板に対し、配向膜501を形成する。本実施例では配向膜としてポリイミド膜を用いる。また、対向基板502には、透明導電膜503と、配向膜504とを形成する。なお、対向基板には必要に応じてカラーフィルターや遮蔽膜を形成しても良い。

【0131】次に、配向膜を形成した後、ラビング処理を施して液晶分子がある一定のプレチルト角を持って配向するように調節する。そして、画素回路と、駆動回路が形成されたアクティブマトリクス基板と対向基板とを、公知のセル組み工程によってシール材507やスペーサ506などを介して貼りあわせる。その後、両基板の間に液晶505を注入し、封止剤（図示せず）によって完全に封止する。液晶には公知の液晶材料を用いれば良い。このようにして図9に示すアクティブマトリクス型液晶表示装置が完成する。

【0132】次に、このアクティブマトリクス型液晶表示装置の構成を、図10の斜視図を用いて説明する。なお、図10は、図1～図5の断面構造図と対応付けるため、共通の符号を用いている。アクティブマトリクス基板は、石英基板101上に形成された、画素回路801と、ゲート線（走査線）側駆動回路802と、ソース線（信号線）側駆動回路803で構成される。画素回路の画素TFT304はnチャンネル型TFTであり、周辺に設けられる駆動回路はCMOS回路を基本として構成されている。ゲート線側駆動回路802と、ソース線側駆動回路803はそれぞれゲート配線128とソース配線154で画素回路801に接続されている。また、FPC804が接続された外部入出力端子805から駆動回路の入出力端子までの接続配線806、807が設けられている。

【0133】次に、図10に示したアクティブマトリクス型液晶表示装置の回路構成の一例を図11に示す。本実施例のアクティブマトリクス型液晶表示装置は、画像信号駆動回路901、ゲート線側駆動回路（A）907、ゲート線側駆動回路（B）911、プリチャージ回路912、画素回路906を有している。なお、本明細書中において、駆動回路にはソース線側駆動回路901およびゲート線側駆動回路907が含まれる。

【0134】ソース線側駆動回路901は、シフトレジスタ回路902、レベルシフト回路903、バッファ回路904、サンプリング回路905を備えている。また、ゲート線側駆動回路（A）907は、シフトレジスタ回路908、レベルシフト回路909、バッファ回路910を備えている。ゲート線側駆動回路（B）911も同様な構成である。

24

【0135】このように本発明は、同一基板上に画素回路と該画素回路を制御するための駆動回路とを少なくとも含む半導体装置、例えば同一基板上に信号処理回路、駆動回路および画素回路とを具備した半導体装置を実現しうる。

【0136】また、本実施例の図2（A）までの工程を行うと、結晶格子に連続性を持つ特異な結晶構造の結晶質シリコン膜が形成される。以下、本出願人が実験的に調べた結晶構造の特徴について概略を説明する。なお、この特徴は、本実施例によって完成されたTFTの活性層を形成する半導体層の特徴と一致する。

【0137】上記結晶質シリコン膜は、微視的に見れば複数の針状又は棒状の結晶（以下、棒状結晶と略記する）が集まって並んだ結晶構造を有する。このことはTEM（透過型電子顕微鏡法）による観察で容易に確認できる。

【0138】また、電子線回折及びエックス線（X線）回折を利用すると結晶質シリコン膜の表面（チャネルを形成する部分）が、結晶軸に多少のずれが含まれているものの主たる配向面として{110}面を有することを確認できる。この時、電子線回折で分析を行えば{110}面に対応する回折斑点がきれいに現れるのを確認することができる。また、各斑点は同心円上に分布を持っていることも確認できる。

【0139】また、個々の棒状結晶が接して形成する結晶粒界をHR-TEM（高分解能透過型電子顕微鏡法）により観察すると、結晶粒界において結晶格子に連続性があることを確認できる。これは観察される格子縞が結晶粒界において連続的に繋がっていることから容易に確認することができる。

【0140】なお、結晶粒界における結晶格子の連続性は、その結晶粒界が「平面状粒界」と呼ばれる粒界であることに起因する。本明細書における平面状粒界の定義は、「Characterization of High-Efficiency Cast-Si Solar Cell Wafers by MBIC Measurement ; Ryuichi Shimokawa and Yutaka Hayashi, Japanese Journal of Applied Physics vol. 27, No. 5, pp. 751-758, 1988」に記載された「Planar boundary」である。

【0141】上記論文によれば、平面状粒界には双晶粒界、特殊な積層欠陥、特殊なtwist粒界などが含まれる。この平面状粒界は電氣的に不活性であるという特徴を持つ。即ち、結晶粒界でありながらキャリアの移動を阻害するトラップとして機能しないため、実質的に存在しないと見なすことができる。

【0142】特に結晶軸（結晶面に垂直な軸）が〈110〉軸である場合、{211}双晶粒界はΣ3の対応粒界とも呼ばれる。Σ値は対応粒界の整合性の程度を示す指針となるパラメータであり、Σ値が小さいほど整合性の良い粒界であることが知られている。

【0143】実際に本実施例の結晶質シリコン膜を詳細

(14)

25

にTEMを用いて観察すれば、結晶粒界の殆ど(90%以上、典型的には95%以上)が $\Sigma 3$ の対応粒界、典型的には $\{211\}$ 双晶粒界であることが判る。

【0144】二つの結晶粒の間に形成された結晶粒界において、両方の結晶の面方位が $\{110\}$ である場合、 $\{111\}$ 面に対応する格子縞がなす角を $\theta$ とすると、 $\theta=70.5^\circ$ の時に $\Sigma 3$ の対応粒界となることが知られている。本実施例の結晶質シリコン膜は、結晶粒界において隣接する結晶粒の各格子縞がまさに約 $70.5^\circ$ の角度で連続しており、その事からこの結晶粒界は $\Sigma 3$ の対応粒界であると言える。

【0145】なお、 $\theta=38.9^\circ$ の時には $\Sigma 9$ の対応粒界となるが、このような他の対応粒界も存在する。いずれにしても不活性であることに変わりはない。

【0146】このような対応粒界は、同一面方位の結晶粒の間にしか形成されない。即ち、本実施例の結晶質シリコン膜は面方位が概略 $\{110\}$ で揃っているからこそ、広範囲に渡ってこのような対応粒界を形成しうる。

【0147】このような結晶構造(正確には結晶粒界の構造)は、結晶粒界において異なる二つの結晶粒が極めて整合性よく接合していることを示している。即ち、結晶粒界において結晶格子が連続的に連なり、結晶欠陥等に起因するトラップ準位を非常に作りにくい構成となっている。従って、このような結晶構造を有する半導体薄膜は実質的に結晶粒界が存在しない見なすことができる。

【0148】またさらに、 $800\sim 1150^\circ\text{C}$ という高い温度での熱処理工程(実施例1における熱酸化工程に相当する)によって結晶粒内に存在する欠陥が殆ど消滅していることがTEM観察によって確認されている。これはこの熱処理工程の前後で欠陥数が大幅に低減されていることから明らかである。

【0149】この欠陥数の差は電子スピン共鳴分析(Electron Spin Resonance : ESR)によってスピン密度の差となって現れる。現状では本実施例の結晶質シリコン膜のスピン密度は少なくとも $5\times 10^{17}\text{spins/cm}^3$ 以下(好ましくは $3\times 10^{17}\text{spins/cm}^3$ 以下)であることが判明している。ただし、この測定値は現存する測定装置の検出限界に近いので、実際のスピン密度はさらに低いと予想される。

【0150】以上の事から、本実施例の結晶質シリコン膜は結晶粒内の欠陥が極端に少なく、結晶粒界が実質的に存在しないと見なせるため、単結晶シリコン膜又は実質的な単結晶シリコン膜と考えて良い。

【0151】[実施例2] 実施例1では、結晶構造を含む半導体膜の形成方法として、結晶化を助長する触媒元素を用いる例を示したが、本実施例では、そのような触媒元素を用いずに熱結晶化またはレーザー結晶化によって結晶構造を含む半導体膜を形成する場合を示す。

【0152】熱結晶化による場合、非晶質構造を示す半導体膜を形成した後、 $600\sim 650^\circ\text{C}$ の温度で15～

26

24時間の熱処理を行えばよい。即ち、 $600^\circ\text{C}$ を越える温度で熱処理を行うことにより自然核が発生し、結晶化が進行する。

【0153】また、レーザー結晶化による場合、非晶質構造を含む半導体膜を形成した後、レーザーアニールを行えばよい。これにより短時間で結晶構造を含む半導体膜を形成することができる。勿論、レーザーアニールの代わりにランプアニールを用いてもよい。また、基板として、石英基板の他にガラス基板やプラスチック基板を用いることが可能である。

【0154】また、基板上に下地膜と非晶質シリコン膜とを大気解放しないで連続的に形成することも有効である。そうすることにより基板表面の汚染が非晶質シリコン膜に影響を与えないようにすることが可能となり、作製されるTFTの特性バラツキを低減させることができる。

【0155】このように、本発明に用いる結晶構造を含む半導体膜は、公知のあらゆる手段を用いて形成することができる。

【0156】[実施例3] 本実施例は、実施例1とは異なる方法によりコンタクトホールを形成する例である。本実施例では、活性化の後、コンタクトホールを形成し、第2層間絶縁膜を積層した後、再度パターニングを行うことによってコンタクトホールを形成する。基本的な構成は、実施例1とほぼ同様であるので、相違点のみに着目して説明する。

【0157】まず、実施例1に従って、第1の層間絶縁膜149を積層した後、活性化を行い、図3(D)の状態を得る。なお、図3(D)に対応する図を図12(A)に示す。

【0158】次いで、ソース領域またはドレイン領域に達するコンタクトホールを形成する。なお、同一のマスクを用いてゲート絶縁膜と第1層間絶縁膜とを同時または順次エッチングする。(図12(B))この時のエッチングをドライエッチングで行えば微細なコンタクトホール( $0.5\mu\text{m}\sim 1.5\mu\text{m}$ )の形成が可能である。

【0159】次いで、第2層間絶縁膜1201を積層し、図12(C)の状態を得る。第2層間絶縁膜は実施例1と同一の組成を有する絶縁膜を用いた。次いで、第2層間絶縁膜1201のパターニングを行った後、実施例1と同様にソース配線、ドレイン配線の形成を行い、実施例1の図4(C)に相当する図12(D)の状態を得る。なお、第2層間絶縁膜のパターニングにおいて、ウェットエッチングを用いるとテーパー形状が得られるので、その上に形成されるソース配線、ドレイン配線のカバレッジが良好となる。以降の工程は実施例1と同一であるため省略する。

【0160】このように、本実施例では、膜質の異なる第1層間絶縁膜と第2層間絶縁膜とを別々にエッチングすることで、オーバーエッチングが少なく、形状の良好

なコンタクトホールを形成することができる。こうすることにより、確実なコンタクト接続が行えるため歩留まりを向上させることができた。

【0161】なお、本実施例の構成は実施例1または実施例2の構成と自由に組み合わせることが可能である。

【0162】【実施例4】本実施例は、ゲート絶縁膜のパターニングをゲート電極のパターニング後に行い、コンタクトホール形成を容易に可能とした例である。基本的な構成は、実施例1とほぼ同様であるので、相違点のみに着目して説明する。

【0163】まず、実施例1に従って、図2(E)の状態を得る。なお、図2(E)に対応する図を図13

(A)に示す。

【0164】次いで、ゲート電極をマスクとしてエッチングを行いゲート絶縁膜1301を形成した。(図13(B))その後、レジストマスク1304を用いてp型不純物元素のドーピングを行い、実施例1と同じ濃度に添加されたp型不純物領域(a)1302、1303を形成する。ただし、活性層が露呈した状態でドーピングを行うため実施例1とはドーピング条件を変えなければならない。(図13(C))

【0165】次にレジストマスク1304を除去し、レジストマスク1305~1308を形成する。そして、レジストマスク1305~1308を用いてn型不純物元素のドーピングを行い、実施例1と同じ濃度に添加されたn型不純物領域(a)1309~1315を形成する。ただし、実施者は活性層が露呈した状態でドーピングを行うため実施例1とはドーピング条件を変えなければならない。(図13(D))

【0166】次にレジストマスク1305~1308を除去し、ゲート電極をマスクとしてn型不純物元素のドーピングを行い、実施例1と同じ濃度に添加されたn型不純物領域(c)1401~1404を形成する。ただし、実施者は活性層が露呈した状態でドーピングを行うため実施例1とはドーピング条件を変えなければならない。(図14(A))

【0167】次いで、実施例1と同様にして第1層間絶縁膜1405の成膜を行った後、活性化工程を行った。

(図14(B))ただし、本実施例においては、第1層間絶縁膜のみで活性層が覆われている部分があるため、活性層を保護する最低限の膜厚が第1層間絶縁膜に必要とされる。ここでの第1層間絶縁膜の膜厚として、代表的には50nm~200nmであればよい。

【0168】次いで、実施例1と同様に第2層間絶縁膜1406を形成する。(図14(C))

【0169】次いで、実施例1と同様に第1層間絶縁膜と第2層間絶縁膜を同時または順次エッチングを行ってソース領域またはドレイン領域に達するコンタクトホールを形成した後、ソース配線及びドレイン配線を形成する。(図14(D))以降の工程は実施例1と同一であ

るため省略する。

【0170】また、本実施例においては、ゲート絶縁膜のエッチングをゲート配線形成直後に行った例を示したが、ゲート絶縁膜の除去工程を施すのは、ゲート配線形成直後から第2層間絶縁膜形成前までの間であればよい。

【0171】こうすることにより、開口する絶縁膜の積層数を低減できるので歩留まりを向上させることができた。ただし、実施例1と同様に第1層間絶縁膜と第2層間絶縁膜のエッチングレートを考慮にいれることが必要である。

【0172】なお、本実施例の構成は実施例1~3の構成を自由に組み合わせることが可能である。

【0173】【実施例5】本実施例では、本発明をシリコン基板上に作製した半導体装置に適用した場合について説明する。典型的には、画素電極として反射率の高い金属膜を用いた反射型液晶表示装置に適用できる。

【0174】本実施例は、実施例1の基板としてシリコン基板(シリコンウェハ)を用い、シリコン基板に直接的にn型またはp型不純物元素を添加してLDD領域、ソース領域またはドレイン領域といった不純物領域を形成する。その際、各不純物領域の形成順序やゲート絶縁膜の形成順序は問わない。

【0175】なお、本実施例の構成は実施例1~4のいずれの構成とも自由に組み合わせることが可能である。但し、活性層となる半導体層は単結晶シリコン基板と決まっているので、結晶化工程以外での組み合わせとなる。

【0176】【実施例6】本発明は従来のMOSFET上に層間絶縁膜を形成し、その上にTFTを形成する際に用いることも可能である。即ち、三次元構造の半導体装置を実現することも可能である。また、基板としてSIMOX、Smart-Cut(SOITEC社の登録商標)、ELTRAN(キャノン株式会社の登録商標)などのSOI基板を用いることも可能である。

【0177】なお、本実施例の構成は、実施例1~5のいずれの構成とも自由に組み合わせることが可能である。

【0178】【実施例7】本実施例では、同一基板上にメモリ部と駆動回路とを一体形成した半導体装置に適用した場合について説明する。

【0179】なお、メモリ部は不揮発性メモリ(ここではEEPROM)で形成され、図15ではそのメモリセルに形成される一つのメモリトランジスタ(メモリセルトランジスタともいう)を例示する。実際には複数のメモリセルが集積化されてメモリ部を形成する。ここでは集積度の高いフラッシュメモリ(フラッシュEEPROM)を用いて説明する。

【0180】メモリトランジスタはソース領域1505、ドレイン領域1508、低濃度不純物領域(LDD

(16)

29

領域ともいう) 1506及びチャネル形成領域1507を含む活性層、ゲート絶縁膜1500、第1層間絶縁膜1501、第2層間絶縁膜1502c、浮遊ゲート電極1509、第3ゲート絶縁膜11、制御ゲート電極1510、そして第3層間絶縁膜1503を介して形成された共通ソース配線1512、ビット配線(ドレイン配線)1511を有して形成される。

【0181】ソース領域1505は浮遊ゲート電極1509に捕獲されたキャリア(電子)を共通ソース配線1512に引き抜くための領域であり消去領域とも言える。なお、図15ではチャネル形成領域1507との間にLDD領域1506を設けているが、形成しなくても良い。また、ドレイン領域1508は電氣的に孤立した浮遊ゲート電極1509にキャリアを注入するための領域であり書き込み領域とも言える。さらに、ドレイン領域1508はメモリトランジスタに記憶されたデータをビット配線1511に読み出すための読み出し領域としても機能する。

【0182】なお、ゲート絶縁膜1500としてはトンネル電流(ファウラノルドハイム電流)が流れる程度に薄い絶縁膜(膜厚が3~20nm、好ましくは5~10nm)を用いる必要があるため、活性層を酸化して得られた酸化膜(活性層が珪素ならば酸化珪素膜)を用いることが好ましい。勿論、膜厚の均一性と確執さえ良ければ、CVD法やスパッタ法等の気相法で第1ゲート絶縁膜を形成することもできる。

【0183】本実施例においては、制御ゲート電極1510とビット配線1511または共通ソース配線1512との重なり部分に生じる寄生容量を第2層間絶縁膜1502cによって低減した。

【0184】また、駆動回路部を形成する具体例としてCMOS回路を示す。実際には、CMOS回路を基本回路としてフリップフロップ回路等の論理回路が形成され、それらが集積化されて駆動回路部を形成する。CMOS回路においても、ゲート配線と上層配線との寄生容量を低減するための第2層間絶縁膜1502a、1502bが設けられている。

【0185】このように本願発明は様々な半導体素子に適用することができる。

【0186】なお、本実施例の構成は、実施例1~6のいずれの構成とも自由に組み合わせることが可能である。

【0187】【実施例8】本実施例では異方性エッチングを利用した例である。基本的な構成は、実施例1または実施例3とほぼ同様であるので、相違点のみに着目して図16を用いて説明する。

【0188】本実施例においては、実施例3と同様にゲート電極をマスクとして、ゲート絶縁膜をエッチングし、第1層間絶縁膜を成膜した後、活性化を行って図14(B)と同じ状態を得た。

30

【0189】次いで、第1層間絶縁膜に異方性エッチングを行い、ゲート電極の両側に三角形の絶縁物1601を形成する。この際、ゲート配線を保護するための保護膜(図示しない)をあらかじめ形成しておくことが好ましい。

【0190】次いで、第2の層間絶縁膜1602を形成する。その後、第2層間絶縁膜にエッチングを行ってソース領域またはドレイン領域に達するコンタクトホールを形成した後、ソース配線及びドレイン配線を形成する。以降の工程は実施例1と同一であるため省略する。

【0191】こうすることにより、開口する絶縁膜の積層数を低減できるのでコンタクトホール形成が簡略化され、歩留まりを向上させることができた。

【0192】また、ゲート電極形成直後に三角形の絶縁物1601を形成し、それを利用してLDD領域などの不純物領域を形成する工程としてもよい。

【0193】なお、本実施例の構成は、実施例1~7のいずれの構成とも自由に組み合わせることが可能である。

【0194】【実施例9】本実施例では、本発明をボトムゲート型TFTに用いた場合について説明する。具体的には、逆スタガ型TFTに用いた場合を図17に示す。本発明の逆スタガ型TFTの場合、実施例1のトップゲート型TFTとはゲート配線と活性層の位置関係が異なる以外、特に大きく異なることはない。従って、本実施例では、図5に示した構造と大きく異なる点に注目して説明を行い、その他の部分は図5と同一であるため説明を省略する。実施例1と同様にして、寄生容量を低減するための第2層間絶縁膜46、47が形成されている。この第2層間絶縁膜は実施例1に示した方法で形成する。

【0195】図17において、11、12はそれぞれシフトレジスタ回路等を形成するCMOS回路のpチャネル型TFT、nチャネル型TFT、13はサンプリング回路等を形成するnチャネル型TFT、14は画素回路を形成するnチャネル型TFTである。これらは下地膜を設けた基板上に形成されている。

【0196】また、15はpチャネル型TFT11のゲート配線、16はnチャネル型TFT12のゲート配線、17はnチャネル型TFT13のゲート配線、18はnチャネル型TFT14のゲート配線であり、実施例1で説明したゲート配線と同じ材料を用いて形成することができる。また、19はゲート絶縁膜であり、これも実施例1と同じ材料を用いることができる。

【0197】その上には各TFT11~14の活性層(活性層)が形成される。なお、ゲート絶縁膜及び活性層を構成する半導体膜の作製時においては、大気にふれることなくスパッタ法またはPCVD法で連続成膜を行い、形成することが好ましい。pチャネル型TFT11の活性層には、ソース領域20、ドレイン領域21、チ



(17)

31

ャネル形成領域22が形成される。

【0198】また、nチャネル型TFT12の活性層には、ソース領域23、ドレイン領域24、LDD領域（この場合、Lov領域25）、チャネル形成領域26が形成される。

【0199】また、nチャネル型TFT13の活性層には、ソース領域27、ドレイン領域28、LDD領域（この場合、Lov領域29a、30a及びLoff領域29b、30b）、チャネル形成領域31が形成される。

【0200】また、nチャネル型TFT14の活性層には、ソース領域32、ドレイン領域33、LDD領域（この場合、Loff領域34～37）、チャネル形成領域38、39、n<sup>+</sup>領域40が形成される。

【0201】なお、41～45で示される絶縁膜は、チャネル形成領域を保護する目的とLDD領域を形成する目的のために形成されている。

【0202】以上のように本発明を逆スタガ型TFTに代表されるボトムゲート型TFTに適用することは容易である。なお、本実施例の逆スタガ型TFTを作製するにあたっては、本明細書中に記載された他の実施例に示される作製工程を、公知の逆スタガ型TFTの作製工程に適用すれば良い。

【0203】なお、本実施例の構成は、実施例1～8のいずれの構成とも自由に組み合わせることが可能である。

【0204】[実施例10] 本発明はアクティブマトリクス型EL（エレクトロルミネッセンス）ディスプレイに適用することも可能である。その例を図18に示す。

【0205】図18はアクティブマトリクス型ELディスプレイの回路図である。81は画素回路を表しており、その周辺にはX方向駆動回路82、Y方向駆動回路83が設けられている。また、画素回路81の各画素は、スイッチ用TFT84、コンデンサ85、電流制御用TFT86、有機EL素子87を有し、スイッチ用TFT84にX方向信号線88a（または88b）、Y方向信号線89a（または89b、89c）が接続される。また、電流制御用TFT86には、電源線90a、90bが接続される。

【0206】本実施例のアクティブマトリクス型ELディスプレイでは、X方向駆動回路82、Y方向駆動回路83または電流制御用TFT86に用いられるTFTを5のpチャネル型TFT301、nチャネル型TFT302または303を組み合わせ形成する。また、スイッチ用TFT84のTFTを図5のnチャネル型TFT304で形成する。

【0207】なお、本実施例のアクティブマトリクス型ELディスプレイに対して、実施例1～9のいずれの構成を組み合わせても良い。

【0208】[実施例11] 本発明によって作製された液晶表示装置は様々な液晶材料を用いることが可能であ

32

る。そのような材料として、TN液晶、PDLC（ポリマー分散型液晶）、FLC（強誘電性液晶）、AFLC（反強誘電性液晶）、またはFLCとAFLCの混合物が挙げられる。

【0209】例えば、「H.Furue et al.:Characteristics and Driving Scheme of Polymer-Stabilized Monostable FLC Display Exhibiting Fast Response Time and High Contrast Ratio with Gray-Scale Capability, SID, 1998」、「T.Yoshida et al.:A Full-Color Thresholdless Antiferroelectric LCD Exhibiting Wide Viewing Angle with Fast Response Time, 841, SID97DIGEST, 1997」、または米国特許第5,594,569号に開示された材料を用いることができる。

【0210】特に、しきい値なし（無しきい値）の反強誘電性液晶（Thresholdless Antiferroelectric LCD: TL-AFLCと略記する）を使うと、液晶の動作電圧を±2.5V程度に低減しうるため電源電圧として5～8V程度で済む場合がある。即ち、ドライバ回路と画素マトリクス回路を同じ電源電圧で動作させることが可能となり、液晶表示装置全体の低消費電力化を図ることができる。

【0211】また、無しきい値反強誘電性液晶は、V字型の電気光学応答特性を示すものがあり、その駆動電圧が約±2.5V程度（セル厚約1μm～2μm）のものも見出されている。

【0212】ここで、V字型の電気光学応答を示す無しきい値反強誘電性混合液晶の印加電圧に対する光透過率の特性を示す例を図19に示す。図19に示すグラフの縦軸は透過率（任意単位）、横軸は印加電圧である。なお、液晶パネルの入射側の偏光板の透過軸は、液晶パネルのラビング方向にほぼ一致する無しきい値反強誘電性混合液晶のスメクティック層の法線方向とほぼ平行に設定されている。また、出射側の偏光板の透過軸は、入射側の偏光板の透過軸に対してほぼ直角（クロスニコル）に設定されている。

【0213】また、強誘電性液晶や反強誘電性液晶はTN液晶に比べて応答速度が速いという利点をもつ。上記実施例で用いるような結晶質TFTは非常に動作速度の速いTFTを実現しうるため、強誘電性液晶や反強誘電性液晶の応答速度の速さを十分に生かした画像応答速度の速い液晶表示装置を実現することが可能である。

【0214】なお、本実施例の液晶表示装置をパーソナルコンピュータ等の電子機器の表示ディスプレイとして用いることが有効であることは言うまでもない。

【0215】また、本実施例の構成は、実施例1～9のいずれの構成とも自由に組み合わせることが可能である。

【0216】[実施例12] 本実施例では、本発明を用いてEL（エレクトロルミネッセンス）表示装置を作製した例について説明する。なお、図20（A）は本発明の

(18)

33

EL表示装置の上面図であり、図20(B)はその断面図である。

【0217】図20(A)において、4001は基板、4002は画素部、4003はソース側駆動回路、4004はゲート側駆動回路であり、それぞれの駆動回路は配線4005を経てFPC(フレキシブルプリントサーキット)4006に至り、外部機器へと接続される。

【0218】このとき、画素部4002、ソース側駆動回路4003及びゲート側駆動回路4004を囲むようにして第1シール材4101、カバー材4102、充填材4103及び第2シール材4104が設けられている。

【0219】また、図20(B)は図20(A)をA-A'で切断した断面図に相当し、基板4001の上にソース側駆動回路4003に含まれる駆動TFT(但し、ここではnチャネル型TFTとpチャネル型TFTを图示している。)4201及び画素部4002に含まれる電流制御用TFT(EL素子への電流を制御するTFT)4202が形成されている。

【0220】本実施例では、駆動TFT4201には図5のpチャネル型TFTまたはnチャネル型TFTと同じ構造のTFTが用いられ、電流制御用TFT4202には図5のpチャネル型TFTと同じ構造のTFTが用いられる。また、画素部4002には電流制御用TFT4202のゲートに接続された保持容量(図示せず)が設けられる。

【0221】駆動TFT4201及び画素TFT4202の上には樹脂材料でなる層間絶縁膜(平坦化膜)4301が形成され、その上に画素TFT4202のドレインと電気的に接続する画素電極(陽極)4302が形成される。画素電極4302としては仕事関数の大きい透明導電膜が用いられる。透明導電膜としては、酸化インジウムと酸化スズとの化合物、酸化インジウムと酸化亜鉛との化合物、酸化亜鉛、酸化スズまたは酸化インジウムを用いることができる。また、前記透明導電膜にガリウムを添加したものを用いても良い。

【0222】そして、画素電極4302の上には絶縁膜4303が形成され、絶縁膜4303は画素電極4302の上に開口部が形成されている。この開口部において、画素電極4302の上にはEL(エレクトロルミネッセンス)層4304が形成される。EL層4304は公知の有機EL材料または無機EL材料を用いることができる。また、有機EL材料には低分子系(モノマー系)材料と高分子系(ポリマー系)材料があるがどちらを用いても良い。

【0223】EL層4304の形成方法は公知の蒸着技術もしくは塗布法技術を用いれば良い。また、EL層の構造は正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層を自由に組み合わせて積層構造または単層構造とすれば良い。

34

【0224】EL層4304の上には周期表の1族または2族に属する元素を含む導電膜(代表的にはアルミニウム、銅もしくは銀に、アルカリ金属元素もしくはアルカリ土類金属元素を含ませた導電膜)からなる陰極4305が形成される。また、陰極4305とEL層4304の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、真空中で両者を連続成膜するか、EL層4304を窒素または希ガス雰囲気中で形成し、酸素や水分に触れさせないまま陰極4305を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式(クラスターツール方式)の成膜装置を用いることで上述のような成膜を可能とする。

【0225】そして陰極4305は4306で示される領域において配線4005に電気的に接続される。配線4005は陰極4305に所定の電圧を与えるための配線であり、異方導電性フィルム4307を介してFPC4006に電気的に接続される。

【0226】以上のようにして、画素電極(陽極)4302、EL層4304及び陰極4305からなるEL素子が形成される。このEL素子は、第1シール材4101及び第1シール材4101によって基板4001に貼り合わされたカバー材4102で囲まれ、充填材4103により封入されている。

【0227】カバー材4102としては、ガラス材、金属材(代表的にはステンレス材)、セラミックス材、プラスチック材(プラスチックフィルムも含む)を用いることができる。プラスチック材としては、FRP(Fiberglass-Reinforced Plastics)板、PVF(ポリビニルフルオライド)フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることもできる。

【0228】但し、EL素子からの光の放射方向がカバー材側に向かう場合にはカバー材は透明でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透明物質を用いる。

【0229】また、充填材4103としては紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC(ポリビニルクロライド)、アクリル、ポリイミド、エポキシ樹脂、シリコーン樹脂、PVB(ポリビニルブチラル)またはEVA(エチレンビニルアセテート)を用いることができる。この充填材4103の内部に吸湿性物質(好ましくは酸化バリウム)もしくは酸素を吸着する物質を設けておくとEL素子の劣化を抑制できる。

【0230】また、充填材4103の中にスペーサを含有させてもよい。このとき、スペーサを酸化バリウムで形成すればスペーサ自体に吸湿性をもたせることが可能である。また、スペーサを設けた場合、スペーサからの

(19)

35

圧力を緩和するバッファ層として陰極4305上に樹脂膜を設けることも有効である。

【0231】また、配線4005は異方導電性フィルム4307を介してFPC4006に電氣的に接続される。配線4005は画素部4002、ソース側駆動回路4003及びゲート側駆動回路4004に送られる信号をFPC4006に伝え、FPC4006により外部機器と電氣的に接続される。

【0232】また、本実施例では第1シール材4101の露呈部及びFPC4006の一部を覆うように第2シール材4104を設け、EL素子を徹底的に外気から遮断する構造となっている。こうして図20(B)の断面構造を有するEL表示装置となる。

【0233】ここで画素部のさらに詳細な断面構造を図21に、上面構造を図22(A)に、回路図を図22(B)に示す。図21、図22(A)及び図22(B)では共通の符号を用いるので互いに参照すれば良い。

【0234】図21において、基板4401上に設けられたスイッチング用TFT4402は図5のnチャンネル型TFTを用いて形成される。従って、構造の説明はnチャンネル型TFTの説明を参照すれば良い。また、4403で示される配線は、スイッチング用TFT4402のゲート電極4404a、4404bを電氣的に接続するゲート配線である。

【0235】なお、本実施例ではチャンネル形成領域が二つ形成されるダブルゲート構造としているが、チャンネル形成領域が一つ形成されるシングルゲート構造もしくは三つ形成されるトリプルゲート構造であっても良い。

【0236】また、スイッチング用TFT4402のドレイン配線4405は電流制御用TFT4406のゲート電極4407に電氣的に接続されている。なお、電流制御用TFT4406は図5のpチャンネル型TFT301を用いて形成される。従って、構造の説明はpチャンネル型TFT301の説明を参照すれば良い。なお、本実施例ではシングルゲート構造としているが、ダブルゲート構造もしくはトリプルゲート構造であっても良い。

【0237】スイッチング用TFT4402及び電流制御用TFT4406の上には第1パッシベーション膜4408が設けられ、その上に樹脂からなる平坦化膜4409が形成される。平坦化膜4409を用いてTFTによる段差を平坦化することは非常に重要である。後に形成されるEL層は非常に薄いため、段差が存在することによって発光不良を起こす場合がある。従って、EL層をできるだけ平坦面に形成しうるように画素電極を形成する前に平坦化しておくことが望ましい。

【0238】また、4410は透明導電膜からなる画素電極(EL素子の陽極)であり、電流制御用TFT4406のドレイン配線4411に電氣的に接続される。透明導電膜としては、酸化インジウムと酸化スズとの化合物、酸化インジウムと酸化亜鉛との化合物、酸化亜鉛、

36

酸化スズまたは酸化インジウムを用いることができる。また、前記透明導電膜にガリウムを添加したものをを用いても良い。

【0239】画素電極4410の上にはEL層4411が形成される。なお、図21では一画素しか図示していないが、本実施例ではR(赤)、G(緑)、B(青)の各色に対応したEL層を作り分けている。また、本実施例では蒸着法により低分子系有機EL材料を形成している。具体的には、正孔注入層として20nm厚の銅フタロシアニン(CuPc)膜を設け、その上に発光層として70nm厚のトリス-8-キノリノラトアルミニウム錯体(Alq3)膜を設けた積層構造としている。Alq3にキナクリドン、ペリレンもしくはDCM1といった蛍光色素を添加することで発光色を制御することができる。

【0240】但し、以上の例はEL層として用いることのできる有機EL材料の一例であって、これに限定する必要はまったくない。発光層、電荷輸送層または電荷注入層を自由に組み合わせてEL層(発光及びそのためのキャリアの移動を行わせるための層)を形成すれば良い。例えば、本実施例では低分子系有機EL材料をEL層として用いる例を示したが、高分子系有機EL材料を用いても良い。また、電荷輸送層や電荷注入層として炭化珪素等の無機材料を用いることも可能である。これらの有機EL材料や無機材料は公知の材料を用いることができる。

【0241】次に、EL層4411の上には導電膜からなる陰極4412が設けられる。本実施例の場合、導電膜としてアルミニウムとリチウムとの合金膜を用いる。勿論、公知のMgAg膜(マグネシウムと銀との合金膜)を用いても良い。陰極材料としては、周期表の1族もしくは2族に属する元素からなる導電膜もしくはそれらの元素を添加した導電膜を用いれば良い。

【0242】この陰極4412まで形成された時点でEL素子4413が完成する。なお、ここでいうEL素子4413は、画素電極(陽極)4410、EL層4411及び陰極4412で形成されたコンデンサを指す。

【0243】次に、本実施例における画素の上面構造を図22(A)を用いて説明する。スイッチング用TFT4402のソースはソース配線4415に接続され、ドレインはドレイン配線4405に接続される。また、ドレイン配線4405は電流制御用TFT4406のゲート電極4407に電氣的に接続される。また、電流制御用TFT4406のソースは電流供給線4416に電氣的に接続され、ドレインはドレイン配線4417に電氣的に接続される。また、ドレイン配線4417は点線で示される画素電極(陽極)4418に電氣的に接続される。

【0244】このとき、4419で示される領域には保持容量が形成される。保持容量4419は、電流供給線

(20)

37

4416と電氣的に接続された半導体膜4420、ゲート絶縁膜と同一層の絶縁膜(図示せず)及びゲート電極4407との間で形成される。また、ゲート電極4407、第1層間絶縁膜と同一の層(図示せず)及び電流供給線4416で形成される容量も保持容量として用いることが可能である。

【0245】〔実施例13〕本実施例では、実施例12とは異なる画素構造を有したEL表示装置について説明する。説明には図23を用いる。なお、図22と同一の符号が付してある部分については実施例12の説明を参照すれば良い。

【0246】図23では電流制御用TFT4501として図5のnチャンネル型TFTと同一構造のTFTを用いる。勿論、電流制御用TFT4501のゲート電極4502はスイッチング用TFT4402のドレイン配線4405に電氣的に接続されている。また、電流制御用TFT4501のドレイン配線4503は画素電極4504に電氣的に接続されている。

【0247】本実施例では、導電膜からなる画素電極4504がEL素子の陰極として機能する。具体的には、アルミニウムとリチウムとの合金膜を用いるが、周期表の1族もしくは2族に属する元素からなる導電膜もしくはそれらの元素を添加した導電膜を用いれば良い。

【0248】画素電極4504の上にはEL層4505が形成される。なお、図23では一画素しか図示していないが、本実施例ではG(緑)に対応したEL層を蒸着法及び塗布法(好ましくはスピンコーティング法)により形成している。具体的には、電子注入層として20nm厚のフッ化リチウム(LiF)膜を設け、その上に発光層として70nm厚のPPV(ポリパラフェニレンビニレン)膜を設けた積層構造としている。

【0249】次に、EL層4505の上には透明導電膜からなる陽極4506が設けられる。本実施例の場合、透明導電膜として酸化インジウムと酸化スズとの化合物もしくは酸化インジウムと酸化亜鉛との化合物からなる導電膜を用いる。

【0250】この陽極4506まで形成された時点でEL素子4507が完成する。なお、ここでいうEL素子4507は、画素電極(陰極)4504、EL層4505及び陽極4506で形成されたコンデンサを指す。

【0251】EL素子に加える電圧が10V以上といった高電圧の場合には、電流制御用TFT4501においてホットキャリア効果による劣化が顕在化してくる。このような場合に、電流制御用TFT4501として本発明の構造のnチャンネル型TFTを用いることは有効である。

【0252】また、本実施例の電流制御用TFT4501はゲート電極4502とLDD領域4509との間にゲート容量と呼ばれる寄生容量を形成する。このゲート容量を調節することで図22(A)、(B)に示した保

38

持容量4418と同等の機能を持たせることも可能である。特に、EL表示装置をデジタル駆動方式で動作させる場合においては、保持容量のキャパシタンスがアナログ駆動方式で動作させる場合よりも小さくて済むため、ゲート容量で保持容量を代用しうる。

【0253】なお、EL素子に加える電圧が10V以下、好ましくは5V以下となった場合、上記ホットキャリア効果による劣化はさほど問題とならなくなるため、図23においてLDD領域4509を省略した構造のnチャンネル型TFTを用いても良い。

【0254】〔実施例14〕本実施例では、実施例12もしくは実施例13に示したEL表示装置の画素部に用いることができる画素構造の例を図24(A)~(C)に示す。なお、本実施例において、4601はスイッチング用TFT4602のソース配線、4603はスイッチング用TFT4602のゲート配線、4604は電流制御用TFT、4605はコンデンサ、4606、4608は電流供給線、4607はEL素子とする。

【0255】図24(A)は、二つの画素間で電流供給線4606を共通とした場合の例である。即ち、二つの画素が電流供給線4606を中心に線対称となるように形成されている点に特徴がある。この場合、電流供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【0256】また、図24(B)は、電流供給線4608をゲート配線4603と平行に設けた場合の例である。なお、図24(B)では電流供給線4608とゲート配線4603とが重ならないように設けた構造となっているが、両者が異なる層に形成される配線であれば、絶縁膜を介して重なるように設けることもできる。この場合、電流供給線4608とゲート配線4603とで専有面積を共有させることができるため、画素部をさらに高精細化することができる。

【0257】また、図24(C)は、図24(B)の構造と同様に電流供給線4608をゲート配線4603と平行に設け、さらに、二つの画素を電流供給線4608を中心に線対称となるように形成する点に特徴がある。また、電流供給線4608をゲート配線4603のいずれか一方と重なるように設けることも有効である。この場合、電流供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【0258】〔実施例15〕本実施例では、本発明を実施したEL表示装置の画素構造の例を図25(A)、(B)に示す。なお、本実施例において、4701はスイッチング用TFT4702のソース配線、4703はスイッチング用TFT4702のゲート配線、4704は電流制御用TFT、4705はコンデンサ(省略することも可能)、4706は電流供給線、4707は電源制御用TFT、4708は電源制御用ゲート配線、4709はEL素子とする。電源制御用TFT4707の

(21)

39

動作については特願平11-341272号を参照すると良い。

【0259】また、本実施例では電源制御用TFT4707を電流制御用TFT4704とEL素子4708との間に設けているが、電源制御用TFT4707とEL素子4708との間に電流制御用TFT4704が設けられた構造としても良い。また、電源制御用TFT4707は電流制御用TFT4704と同一構造とするか、同一の活性層で直列させて形成するのが好ましい。

【0260】また、図25(A)は、二つの画素間で電流供給線4706を共通とした場合の例である。即ち、二つの画素が電流供給線4706を中心に線対称となるように形成されている点に特徴がある。この場合、電流供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【0261】また、図25(B)は、ゲート配線4703と平行に電流供給線4710を設け、ソース配線4701と平行に電源制御用ゲート配線4711を設けた場合の例である。なお、図25(B)では電流供給線4710とゲート配線4703とが重ならないように設けた構造となっているが、両者が異なる層に形成される配線であれば、絶縁膜を介して重なるように設けることもできる。この場合、電流供給線4710とゲート配線4703とで専有面積を共有させることができるため、画素部をさらに高精細化することができる。

【0262】〔実施例16〕本実施例では、本発明を実施したEL表示装置の画素構造の例を図26(A)、

(B)に示す。なお、本実施例において、4801はスイッチング用TFT4802のソース配線、4803はスイッチング用TFT4802のゲート配線、4804は電流制御用TFT、4805はコンデンサ(省略することも可能)、4806は電流供給線、4807は消去用TFT、4808は消去用ゲート配線、4809はEL素子とする。消去用TFT4807の動作については特願平11-338786号を参照すると良い。

【0263】消去用TFT4807のドレインは電流制御用TFT4804のゲートに接続され、電流制御用TFT4804のゲート電圧を強制的に変化させることができるようになっている。なお、消去用TFT4807はnチャネル型TFTとしてもpチャネル型TFTとしても良いが、オフ電流を小さくできるようにスイッチング用TFT4802と同一構造とすることが好ましい。

【0264】また、図26(A)は、二つの画素間で電流供給線4806を共通とした場合の例である。即ち、二つの画素が電流供給線4806を中心に線対称となるように形成されている点に特徴がある。この場合、電流供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【0265】また、図26(B)は、ゲート配線4803と平行に電流供給線4810を設け、ソース配線48

40

01と平行に消去用ゲート配線4811を設けた場合の例である。なお、図26(B)では電流供給線4810とゲート配線4803とが重ならないように設けた構造となっているが、両者が異なる層に形成される配線であれば、絶縁膜を介して重なるように設けることもできる。この場合、電流供給線4810とゲート配線4803とで専有面積を共有させることができるため、画素部をさらに高精細化することができる。

【0266】〔実施例17〕上記EL表示装置は画素内にいくつのTFTを設けた構造としても良い。例えば、四つ乃至六つまたはそれ以上のTFTを設けても構わない。本発明はEL表示装置の画素構造に限定されずに実施することが可能である。

〔実施例18〕本発明を実施して形成されたCMOS回路や画素部は、ゲート配線と第2配線とを重ねて開口率を向上させても十分寄生容量を小さくすることができた。そのため、特に対角1インチ以下のアクティブマトリクス型液晶表示装置に用いるとより効果的である。

【0267】その様な電子機器の一例として、ゴーグル型表示装置(ヘッドマウントディスプレイ)が挙げられる。図27を参照する。図27には、本実施例のゴーグル型表示装置の概略構成図が示されている。1900はゴーグル型表示装置本体、1901Rおよび1901Lはレンズ、1902Rおよび1902Lは液晶パネル、1903Rおよび1903Lはバックライトである。

【0268】本願発明は液晶パネル1902R、1902Lやその他の駆動回路に適用できる。

【0269】また、本実施例の構成は、実施例1~11のいずれの構成とも自由に組み合わせることが可能である。

【0270】〔実施例19〕上記各実施例を実施して形成されたCMOS回路や画素回路は様々な電気光学装置(アクティブマトリクス型液晶ディスプレイ、アクティブマトリクス型ELディスプレイ、アクティブマトリクス型EC(エレクトロクロミック)ディスプレイ)に用いることができる。即ち、それら電気光学装置を表示部として組み込んだ電子機器全てに本発明を実施できる。

【0271】その様な電子機器としては、大型テレビ、ビデオカメラ、デジタルカメラ、ウェアラブルディスプレイ、カーナビゲーション、パーソナルコンピュータ、携帯情報端末(モバイルコンピュータ、携帯電話または電子書籍等)などが挙げられる。それらの一例を図28及び図30に示す。

【0272】図28(A)はパーソナルコンピュータであり、本体2001、画像入力部2002、表示部2003、キーボード2004で構成される。本願発明を画像入力部2002、表示部2003やその他の駆動回路に適用することができる。

【0273】図28(B)はビデオカメラであり、本体2101、表示部2102、音声入力部2103、操作

(22)

41

スイッチ2104、バッテリー2105、受像部2106で構成される。本願発明を表示部2102、音声入力部2103やその他の駆動回路に適用することができる。

【0274】図28(C)はモバイルコンピュータ(モバイルコンピュータ)であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示部2205で構成される。本願発明は表示部2205やその他の駆動回路に適用できる。

【0275】図28(D)はデジタルカメラであり、本体2501、表示部2502、接眼部2503、操作スイッチ2504、受像部(図示しない)で構成される。本願発明を表示部2502やその他の駆動回路に適用することができる。

【0276】図28(E)はプログラムを記録した記録媒体(以下、記録媒体と呼ぶ)を用いるプレーヤーであり、本体2401、表示部2402、スピーカ部2403、記録媒体2404、操作スイッチ2405で構成される。なお、この装置は記録媒体としてDVD(Digital Versatile Disc)、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明は表示部2402やその他の駆動回路に適用することができる。

【0277】図30(A)は携帯電話であり、本体2901、音声出力部2902、音声入力部2903、表示部2904、操作スイッチ2905、アンテナ2906等を含む。本願発明を音声出力部2902、音声入力部2903、表示部2904やその他の信号制御回路に適用することができる。

【0278】図30(B)は携帯書籍(電子書籍)であり、本体3001、表示部3002、3003、記憶媒体3004、操作スイッチ3005、アンテナ3006等を含む。本発明は表示部3002、3003やその他の信号回路に適用することができる。

【0279】図30(C)はディスプレイであり、本体3101、支持台3102、表示部3103等を含む。本発明は表示部3103に適用することができる。本発明のディスプレイは特に大画面化した場合において有利であり、対角10インチ以上(特に30インチ以上)のディスプレイには有利である。

【0280】以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例1~18のどのような組み合わせからなる構成を用いても実現することができる。

【0281】[実施例20] 本発明を実施して形成された液晶表示装置はプロジェクター(リア型またはフロント型)に用いることができる。

【0282】図29(A)はフロント型プロジェクターであり、表示部2601、スクリーン2602で構成さ

42

れる。本発明は表示部やその他の駆動回路に適用することができる。

【0283】図29(B)はリア型プロジェクターであり、本体2701、表示部2702、ミラー2703、スクリーン2704で構成される。本発明は表示部やその他の駆動回路に適用することができる。

【0284】なお、図29(C)は、図29(A)及び図29(B)中における表示部2601、2702の構造の一例を示した図である。表示部2601、2702は、光源光学系2801、ミラー2802、2804~2806、ダイクロイックミラー2803、プリズム2807、液晶表示装置2808、位相差板2809、投射光学系2810で構成される。投射光学系2810は、投射レンズを含む光学系で構成される。本実施例は、三板式の例を示したが、特に限定されず、例えば単板式であってもよい。また、図29(C)中において矢印で示した光路に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するためのフィルム、IRフィルム等の光学系を設けてもよい。

【0285】また、図29(D)は、図29(C)中における光源光学系2801の構造の一例を示した図である。本実施例では、光源光学系2801は、リフレクター2811、光源2812、レンズアレイ2813、2814、偏光変換素子2815、集光レンズ2816で構成される。なお、図29(D)に示した光源光学系は一例であって特に限定されない。例えば、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、IRフィルム等の光学系を設けてもよい。

【0286】また、本実施例の電子機器は実施例1~9及び実施例11のどのような組み合わせからなる構成を用いても実現することができる。

【0287】

【発明の効果】本願発明を用いることで、多層配線により形成される寄生容量を低減させて、半導体装置(ここでは具体的に電気光学装置)の動作性能や信頼性を大幅に向上させることができた。

【0288】また、アクティブマトリクス型液晶表示装置に代表される電気光学装置の画素回路において、ゲート配線と第2配線とを重ねて開口率を向上させても十分寄生容量を小さくすることができた。そのため、対角1インチ以下のアクティブマトリクス型液晶表示装置においても開口率を向上させ、寄生容量を低減するとともに、十分な保持容量を確保することが可能となった。

【0289】また、そのような電気光学装置を表示媒体として有する半導体装置(ここでは具体的に電子機器)の動作性能と信頼性も向上させることができた。

【図面の簡単な説明】

【図1】 AM-LCDの作製工程を示す図。

【図2】 AM-LCDの作製工程を示す図。



(23)

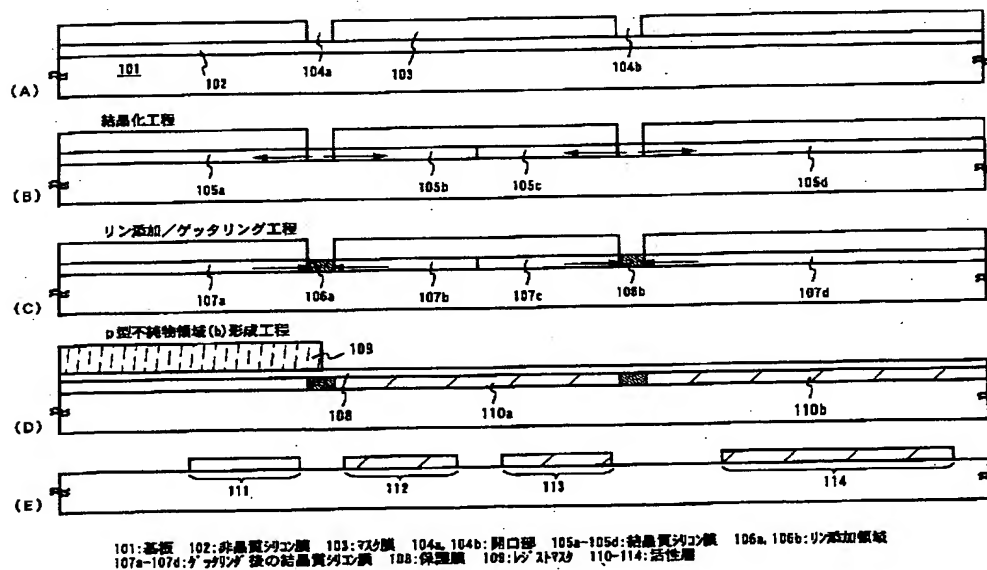
43

- 【図3】 AM-LCDの作製工程を示す図。  
 【図4】 AM-LCDの作製工程を示す図。  
 【図5】 AM-LCDの作製工程を示す図。  
 【図6】 AM-LCDの作製工程における上面図。  
 【図7】 AM-LCDの作製工程における上面図。  
 【図8】 画素回路の上面図。  
 【図9】 液晶表示装置の断面構造図。  
 【図10】 AM-LCDの外観を示す図。  
 【図11】 回路ブロック図  
 【図12】 AM-LCDの作製工程を示す図。  
 【図13】 AM-LCDの作製工程を示す図。  
 【図14】 AM-LCDの作製工程を示す図。  
 【図15】 メモリ部及びCMOS回路の構成を示す図。  
 【図16】 画素回路及びCMOS回路の構成を示す図。  
 【図17】 画素回路及びCMOS回路の構成を示す図。  
 【図18】 アクティブマトリクス型EL表示装置の構成を示す図。

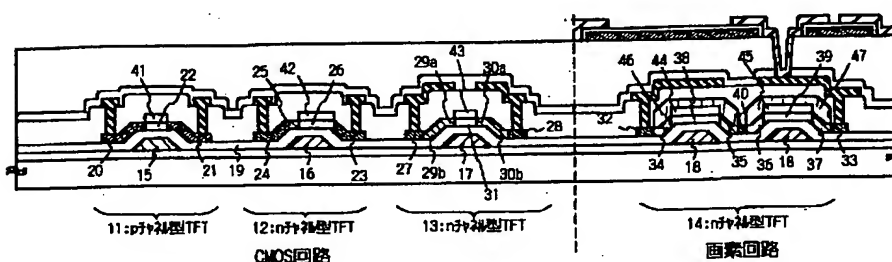
44

- 【図19】 無しきい値反強誘電性混合液晶の印加電圧に対する光透過率の特性を示す図  
 【図20】 アクティブマトリクス型EL表示装置の上面図及び断面図。  
 【図21】 アクティブマトリクス型EL表示装置の画素構造を示す断面図。  
 【図22】 アクティブマトリクス型EL表示装置の画素構造を示す上面図。  
 【図23】 アクティブマトリクス型EL表示装置の画素構造を示す断面図。  
 【図24】 アクティブマトリクス型EL表示装置の回路図。  
 【図25】 アクティブマトリクス型EL表示装置の回路図。  
 【図26】 アクティブマトリクス型EL表示装置の回路図。  
 【図27】 ゴーグル型表示装置の一例を示す図。  
 【図28】 電子機器の一例を示す図。  
 【図29】 電子機器の一例を示す図。  
 【図30】 電子機器の一例を示す図。

【図1】

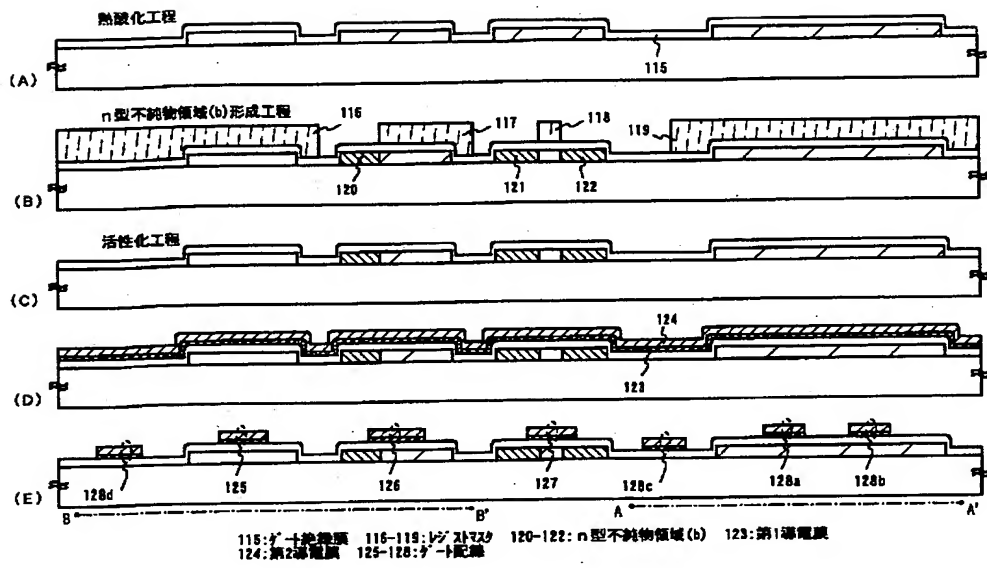


【図17】

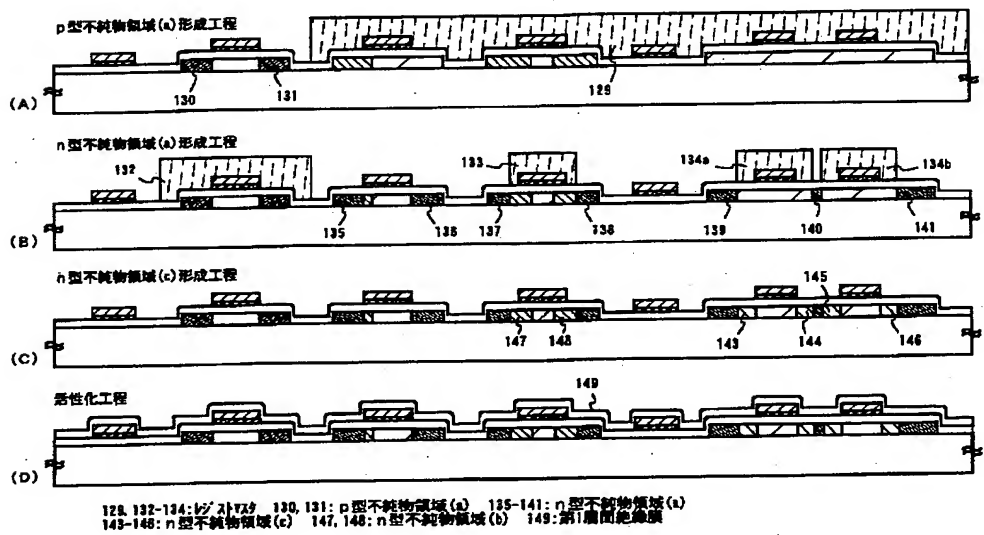


(24)

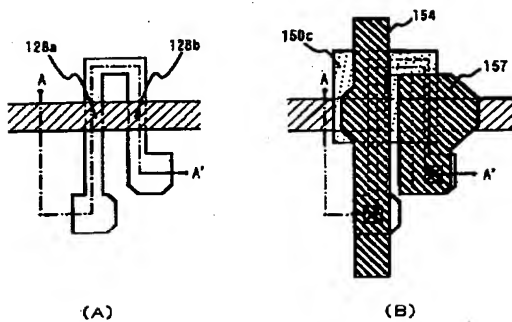
【図2】



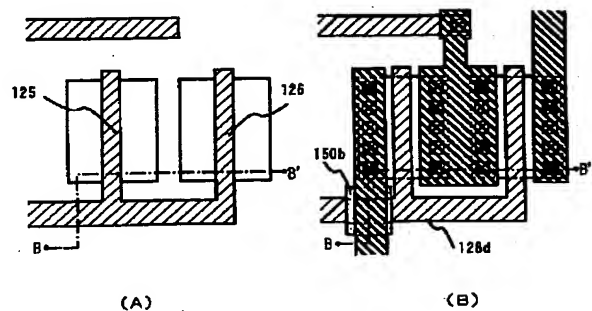
【図3】



【図6】

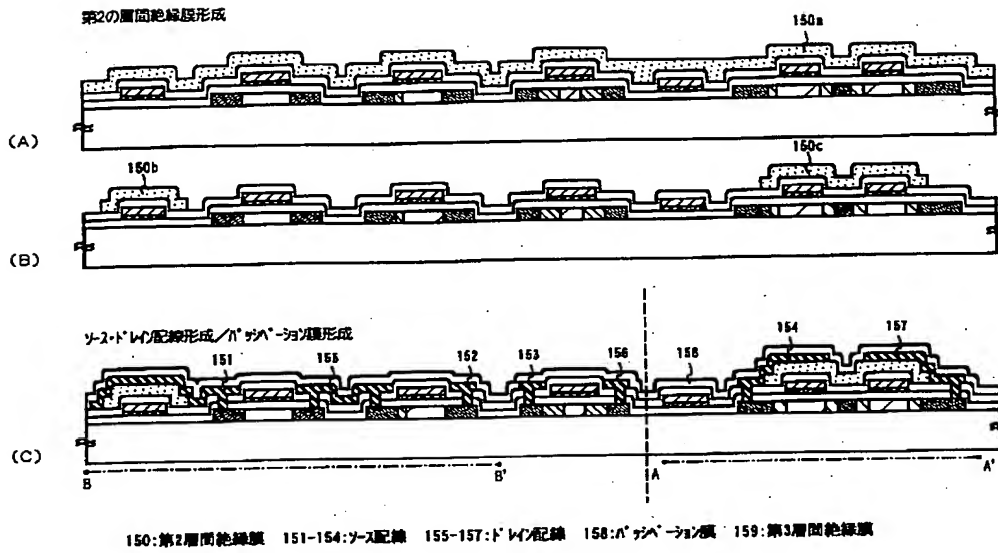


【図7】

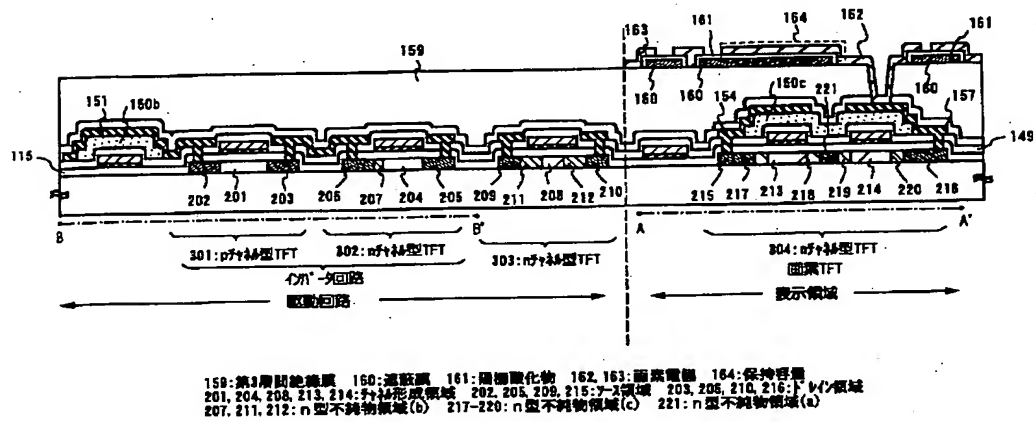


(25)

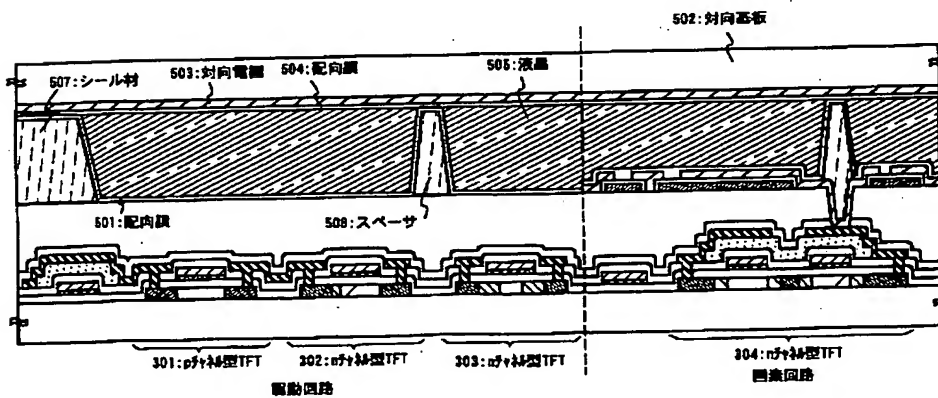
【図4】



【図5】

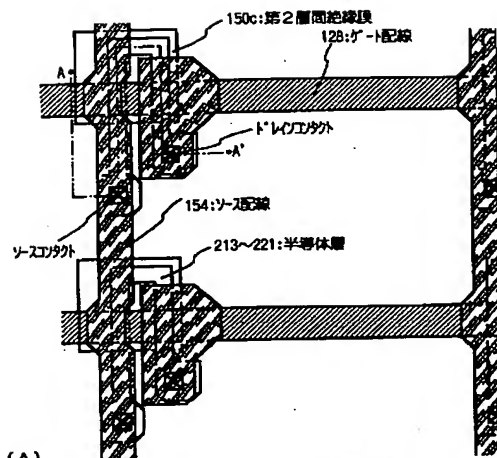


【図9】

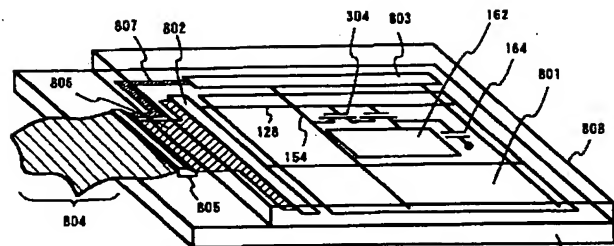


(26)

【圖 8】



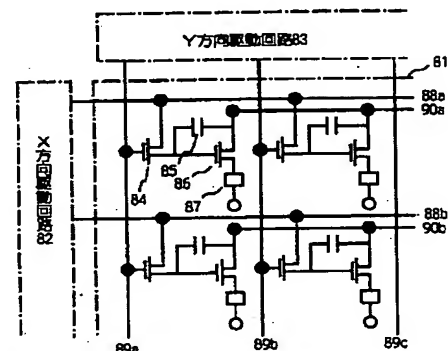
【図 10】



101: 基板 801: 画面回路  
802: ゲート線駆動回路 803: ソース線駆動回路  
804: FPC 805: 外部入出力端子 806, 807: 接続配線  
304: 画面TFT 128: ゲート線 154: Y-配線  
162: 画面電極 164: 保持容量 808: 対向基板

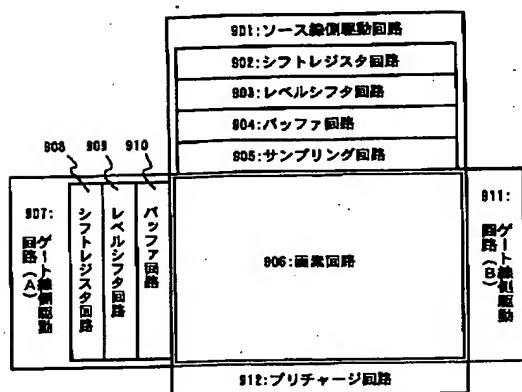
【図 18】

EL/ナル回路図

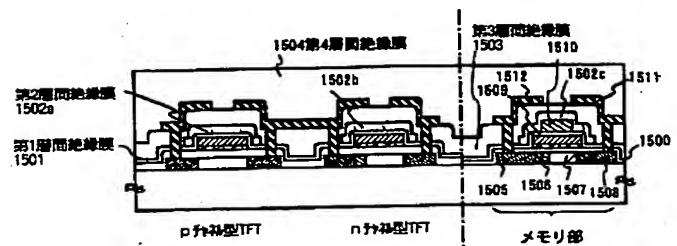


81:表示領域 82:X方向駆動回路 83:Y方向駆動回路  
84:X1用TFT 85:保持電圧 86:電流制御用TFT 87:有機EL素子  
88a, 88b:X方向信号線 89a~89c:Y方向信号線 90a, 90b:電源線

【図 1 1】



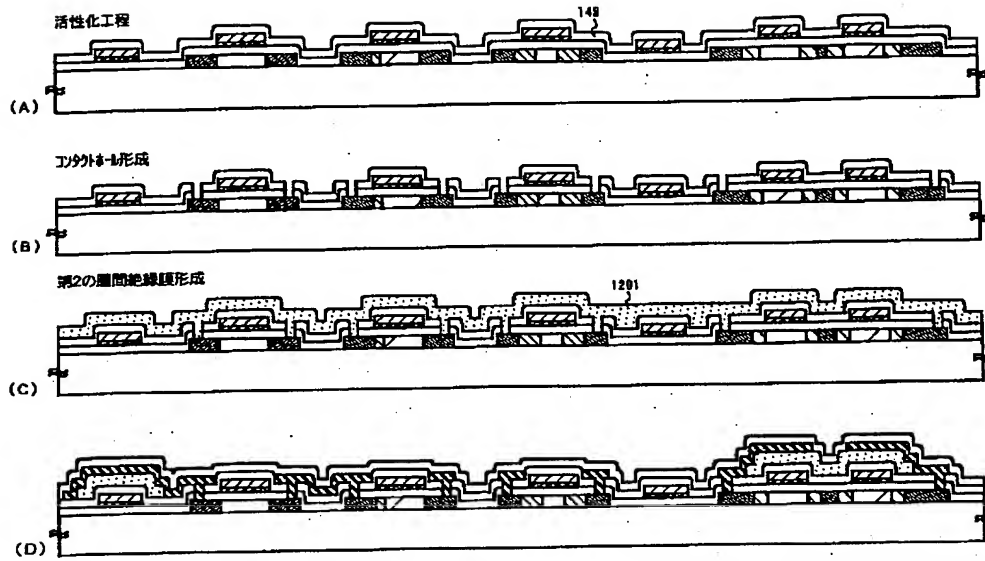
【図 15】



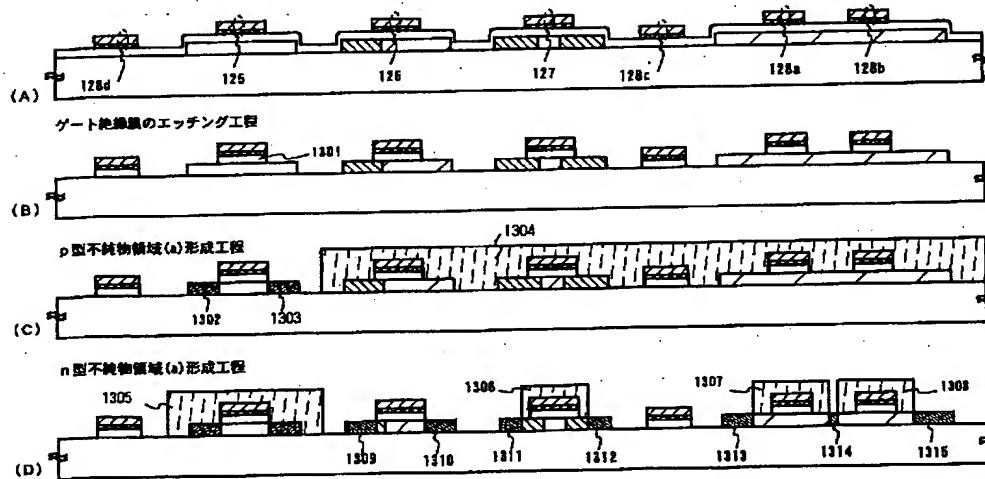
3トレバ回路、ハフ回路等  
を形成するCMOS回路

(27)

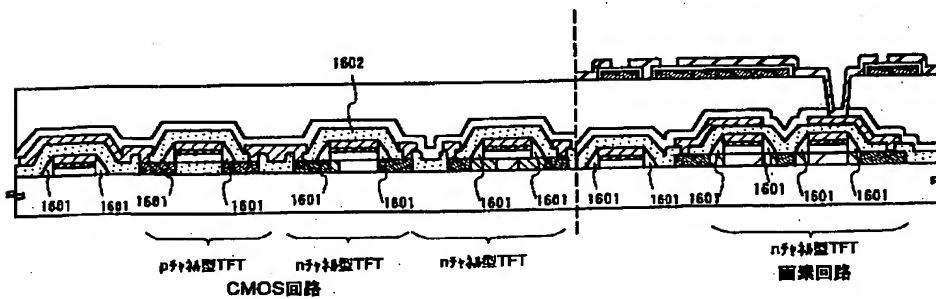
【図12】



【図13】

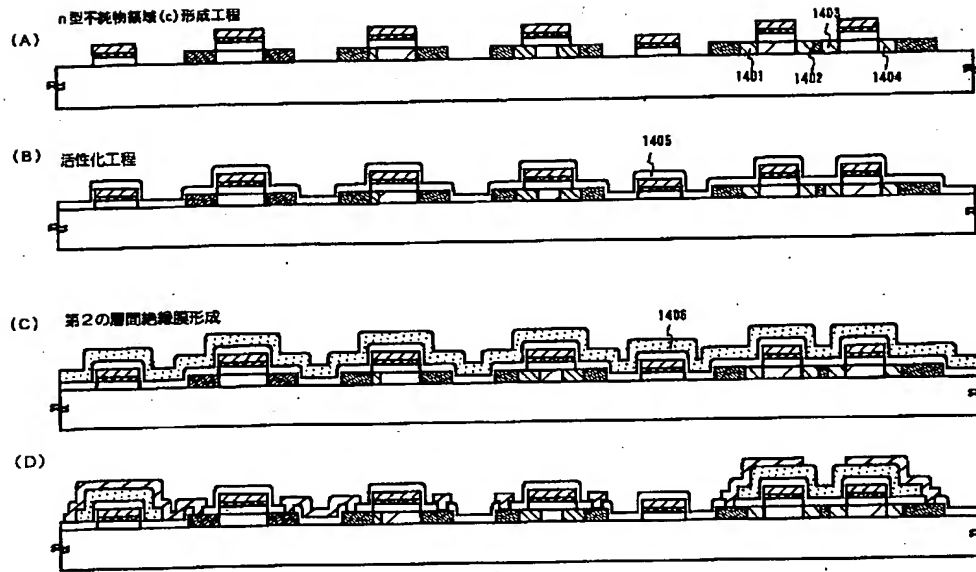


【図16】

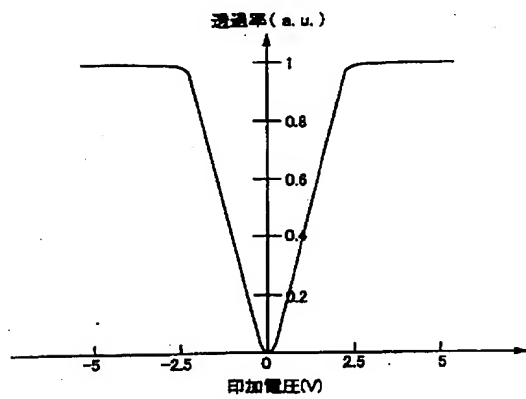


(28)

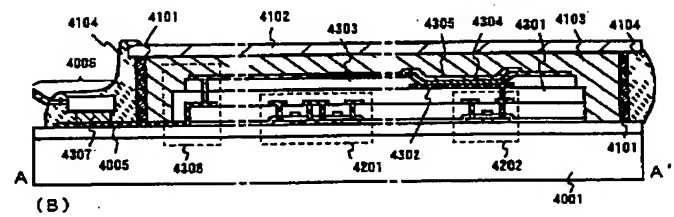
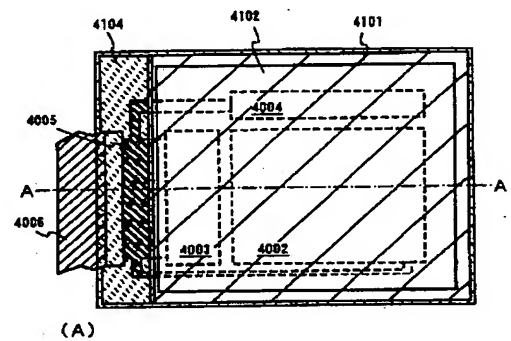
【図14】



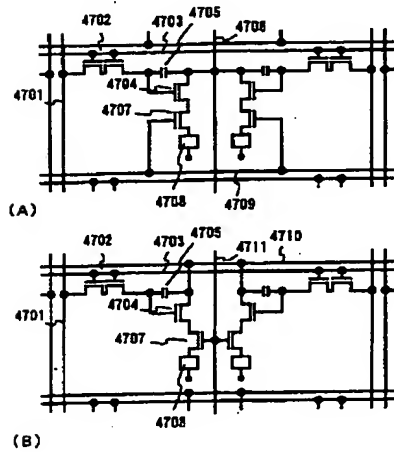
【図19】



【図20】



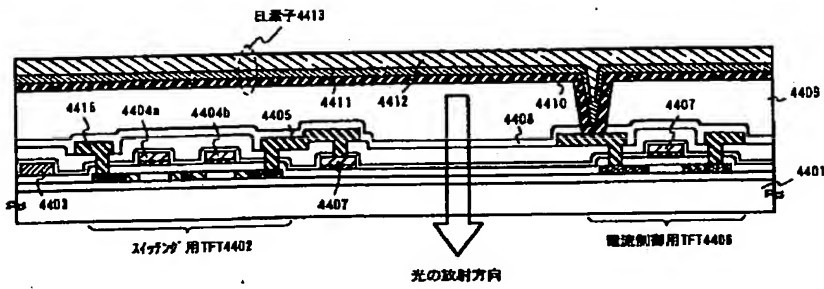
【図25】



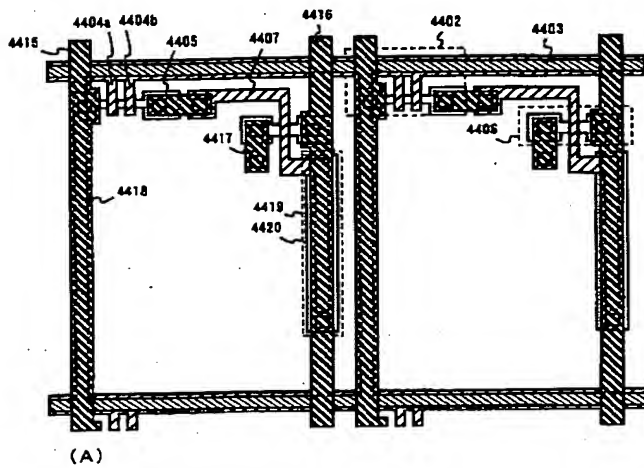


(29)

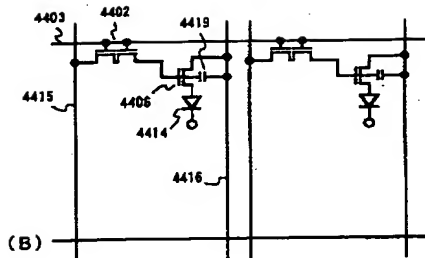
【図 2 1】



【図 2 2】

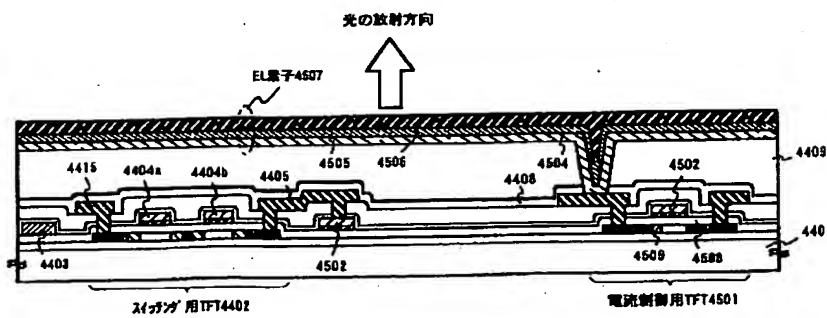


(A)

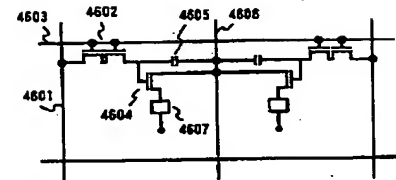


(B)

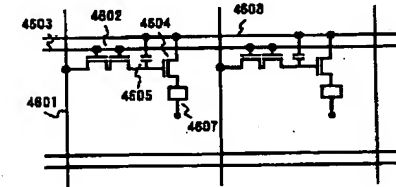
【図 2 3】



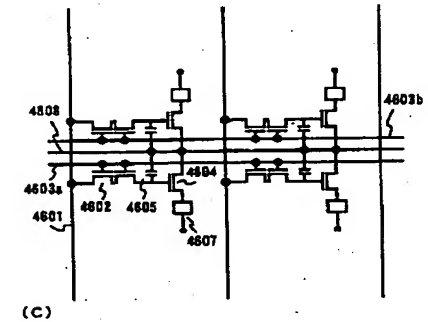
【図 2 4】



(A)

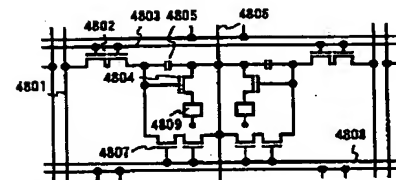


(B)

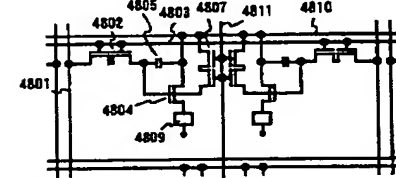


(C)

【図 2 6】



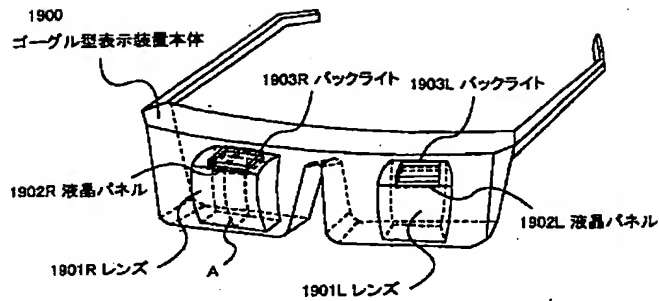
(A)



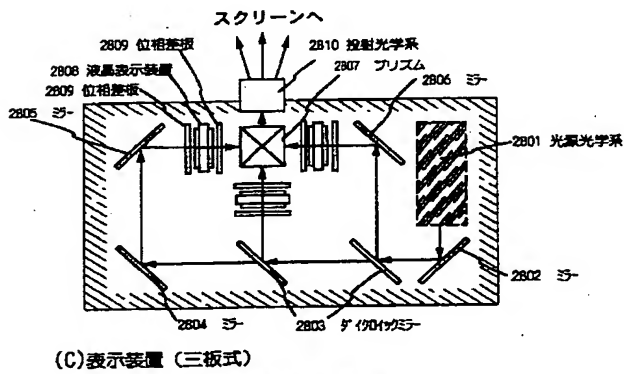
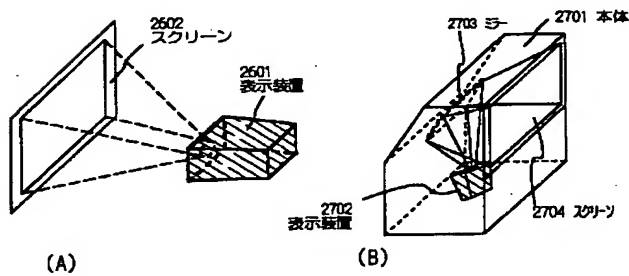
(B)

(30)

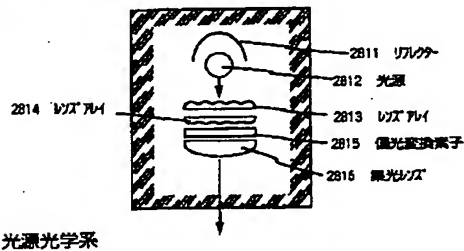
【図27】



【図29】

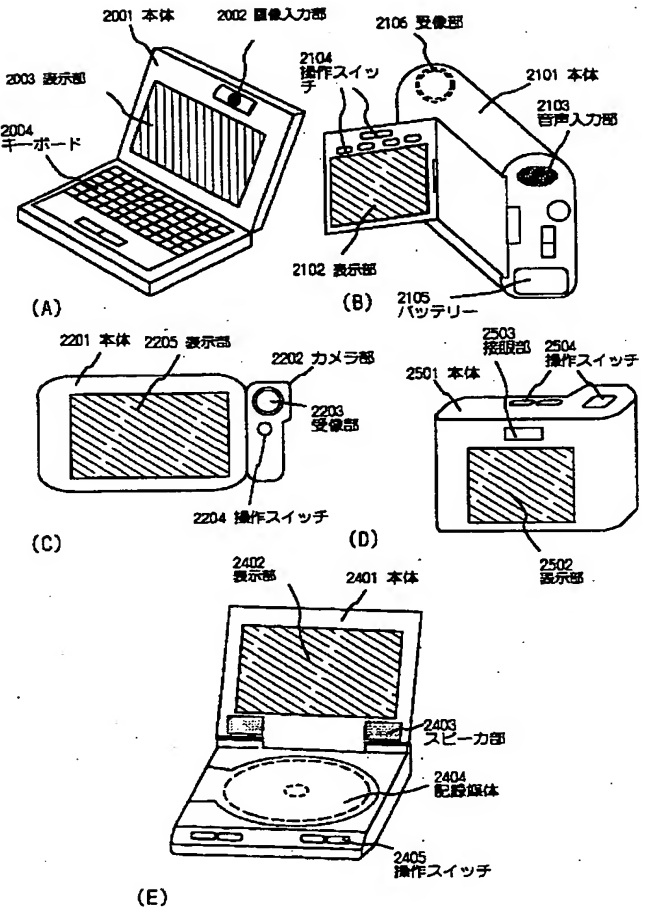


(C)表示装置(三板式)



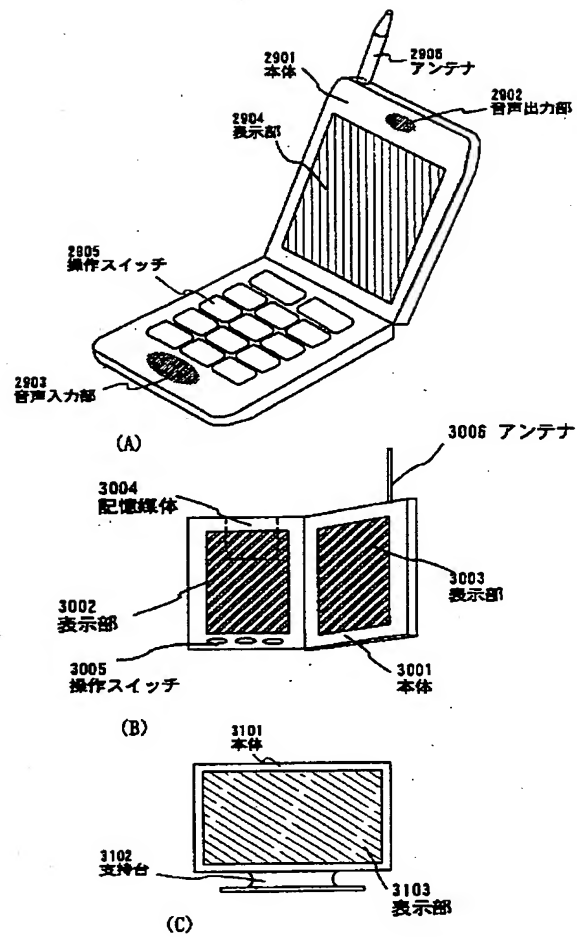
(D)光源光学系

【図28】



(31)

【図30】



フロントページの続き

(51) Int. Cl. 7		識別記号	F I	テーマコード (参考)	
H 0 1 L	21/3205		H 0 1 L	21/302	J
	21/8247			21/88	Z
	27/115			27/10	4 3 4
	27/10	4 8 1		29/78	3 7 1
	29/788				6 1 2 C
	29/792				6 1 6 T

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-053287

(43)Date of publication of application : 23.02.2001

(51)Int.Cl.

H01L 29/786  
G02F 1/1368  
G09F 9/30  
H01L 21/20  
H01L 21/3065  
H01L 21/3205  
H01L 21/8247  
H01L 27/115  
H01L 27/10  
H01L 29/788  
H01L 29/792

(21)Application number : 2000-165617

(71)Applicant : SEMICONDUCTOR ENERGY LAB CO LTD

(22)Date of filing : 02.06.2000

(72)Inventor : YAMAZAKI SHUNPEI  
SUZAWA HIDEOMI  
YAMAGATA HIROKAZU

(30)Priority

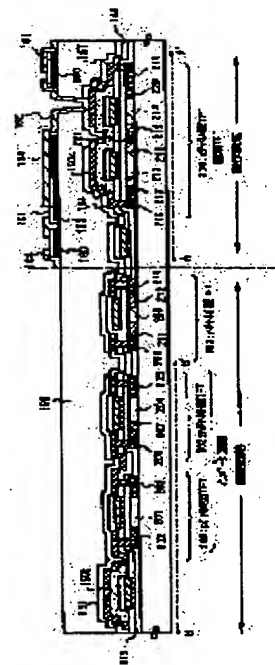
Priority number : 11154432 Priority date : 02.06.1999 Priority country : JP

## (54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

**PROBLEM TO BE SOLVED:** To reduce a parasitic capacitance between multilayer interconnections to improve a semiconductor device in display characteristics.

**SOLUTION:** A part or all of a gate electrode overlapping with the channel forming regions 213 and 214 of pixel TFTs is superposed on second wirings (source wire or drain wire) 154 and 157 to improve a semiconductor device in numerical aperture. A first interlayer insulating film 149 and a second interlayer insulating film 150c are provided between the gate electrode and the second wirings 154 and 157, to lessen the semiconductor device in parasitic capacitance.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] The semiconductor device characterized by carrying out the laminating of said 1st interlayer insulation film and said 2nd interlayer insulation film in the field to which it had the 2nd wiring on the 2nd interlayer insulation film, and said 1st interlayer insulation film and said 2nd interlayer insulation film, and said 1st wiring and said 2nd wiring have lapped the 1st wiring and said 1st wiring in contact with the part on the 1st interlayer insulation film of a wrap, and said 1st interlayer insulation film on the insulating front face.

[Claim 2] It is the semiconductor device characterized by the etching rate of said 1st interlayer insulation film being smaller than the etching rate of said 2nd interlayer insulation film in claim 1.

[Claim 3] It is the semiconductor device characterized by the selection ratio of the etching rate to said 2nd interlayer insulation film of said 1st interlayer insulation film being 1.5 or more in claim 1 or claim 2.

[Claim 4] It is the semiconductor device characterized by the thickness of said 1st interlayer insulation film being 50-300nm in claim 1 thru/or any 1 of 3.

[Claim 5] It is the semiconductor device characterized by the thickness of said 2nd interlayer insulation film being 150nm - 1 micrometer in any 1 of claim 1 \*\* 4.

[Claim 6] The semiconductor device characterized by forming the 1st interlayer insulation film, the 2nd interlayer insulation film, and the 2nd wiring above the 1st wiring which forms said TFT in the semiconductor device which contains TFT at least, and forming gate dielectric film, the 1st interlayer insulation film, and said 2nd wiring above said source field of TFT, or the drain field on an insulating front face.

[Claim 7] It is the semiconductor device characterized by the sum of the thickness of said gate dielectric film and the thickness of said 1st interlayer insulation film being 0.1 micrometers or more in claim 6.

[Claim 8] The semiconductor device characterized by the 2nd wiring existing above the 1st wiring which forms said TFT in the semiconductor device which contains TFT at least on an insulating front face through the 1st interlayer insulation film and the 2nd interlayer insulation film.

[Claim 9] The semiconductor device characterized by the 1st interlayer insulation film existing above said source field of TFT, or the drain field in claim 8.

[Claim 10] It is the semiconductor device characterized by said TFT being the reverse stagger mold TFT in claim 8 or claim 9.

[Claim 11] It is the semiconductor device characterized by said 1st wiring being gate wiring in claim 6 thru/or any 1 of 10.

[Claim 12] It is the semiconductor device which the channel formation field of the pixel TFT which forms said pixel circuit in the semiconductor device which includes the drive circuit for controlling a pixel circuit and this pixel circuit at least on the same substrate is formed so that it may lap with some gate wiring through gate dielectric film, and is characterized by these some gate wiring having lapped with the 2nd wiring through two or more insulator layers from which an etching rate differs.

[Claim 13] It is the semiconductor device characterized by said 2nd wiring being a source line or a drain wire in claim 6 thru/or any 1 of 12.



[Claim 14] The LDD field of the pixel TFT which the LDD field of the n channel mold TFT which forms said drive circuit is formed in claim 12 or claim 13 so that at least a part or all may lap with gate wiring of this n channel mold TFT, and forms said pixel circuit is a semiconductor device characterized by being formed so that it may not lap with the gate electrode of this pixel TFT.

[Claim 15] In claim 12 thru/or any 1 of 14, the LDD field of the n channel mold TFT which forms said drive circuit The LDD field of Pixel TFT in which at least a part or all is formed in so that it may lap with the gate electrode of this n channel mold TFT, and they forms said pixel circuit It is the semiconductor device characterized by being formed so that it may not lap with the gate electrode of this pixel TFT, and forming the retention volume of said pixel circuit with the oxide and pixel electrode of a screen and this screen which were prepared on the organic resin film.

[Claim 16] The semiconductor device characterized by the semiconductor device indicated by claim 1 thru/or claim 15 being an active matrix liquid crystal display, a active-matrix mold EL display, or a active-matrix mold EC display.

[Claim 17] The goggles mold display using the semiconductor device indicated by claim 16 as a display.

[Claim 18] The video camera using the semiconductor device indicated by claim 16 as a display, a digital camera, a projector, car navigation, a personal computer, or a Personal Digital Assistant.

[Claim 19] The 1st process which forms the 1st wiring on an insulating front face, and the 2nd process which forms the 1st interlayer insulation film of a wrap for said 1st wiring, The production approach of the semiconductor device characterized by having the 3rd process which forms the 2nd interlayer insulation film on said 1st interlayer insulation film, the 4th process which removes alternatively said a part of 2nd interlayer insulation film, and the 5th process which forms the 2nd wiring on the 2nd interlayer insulation film which laps with said 1st wiring.

[Claim 20] In the production approach of the semiconductor device which contains TFT at least on an insulating front face The 1st process which forms a barrier layer on an insulating front face, and the 2nd process which forms gate dielectric film in contact with said barrier layer, The 3rd process which adds n mold impurity element or p mold impurity element to said a part of barrier layer, and forms a source field or a drain field in it, The 4th process which forms the 1st interlayer insulation film of a wrap for gate wiring and a gate electrode, The 5th process which forms the 2nd interlayer insulation film on said 1st interlayer insulation film, and the 6th process which etches into said 2nd interlayer insulation film, and removes the 2nd interlayer insulation film above said source field or said drain field, The 7th process which forms the contact hole which etches into said 1st interlayer insulation film and said gate dielectric film, and arrives at said source field or a drain field, The production approach of the semiconductor device characterized by having the 8th process which forms the 2nd wiring which touches said source field or a drain field on said 2nd interlayer insulation film which laps with said gate electrode.

[Claim 21] In the production approach of the semiconductor device which includes the drive circuit for controlling a pixel circuit and this pixel circuit on the same substrate at least The 1st process which forms a barrier layer on an insulating front face, and the 2nd process which forms gate dielectric film in contact with said barrier layer, The 3rd process which forms gate wiring and a gate electrode on said gate dielectric film, The 4th process which adds n mold impurity element or p mold impurity element to said a part of barrier layer, and forms n mold impurity range or p mold impurity range, The 5th process which forms the 1st interlayer insulation film of a wrap for gate wiring and a gate electrode, The 6th process which forms the 2nd interlayer insulation film alternatively on the 1st interlayer insulation film which laps with said gate electrode, The 7th process which forms the contact hole which etches into said 1st interlayer insulation film and said gate dielectric film, and arrives at said n mold impurity range or said p mold impurity range, The production approach of the semiconductor device characterized by having the 8th process which forms the 2nd wiring which touches said n mold impurity range or said p mold impurity range on said 2nd interlayer insulation film which laps with said gate electrode.

[Claim 22] In the production approach of the semiconductor device which includes the drive circuit for controlling a pixel circuit and this pixel circuit on the same substrate at least The 1st process which

forms a barrier layer on an insulating front face, and the 2nd process which forms gate dielectric film in contact with said barrier layer, The 3rd process which forms gate wiring and a gate electrode on said gate dielectric film, The 4th process which adds n mold impurity element or p mold impurity element to said a part of barrier layer, and forms n mold impurity range or p mold impurity range, The 5th process which forms the 1st interlayer insulation film of a wrap for gate wiring and a gate electrode, The 6th process which forms the contact hole which etches into said 1st interlayer insulation film and said gate dielectric film, and arrives at said n mold impurity range or said p mold impurity range, The production approach of the semiconductor device characterized by having the 7th process which forms the 2nd interlayer insulation film alternatively on said 1st interlayer insulation film, and the 8th process which forms the 2nd wiring which touches said n mold impurity range or said p mold impurity range on said 2nd interlayer insulation film which laps with said gate electrode.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
  2. \*\*\*\* shows the word which can not be translated.
  3. In the drawings, any words are not translated.
- 

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] The invention in this application relates to the semiconductor device which has the circuit which consisted of thin film transistors (henceforth TFT), and its production approach. For example, it is related with the electronic equipment which carried as components the electro-optic device and such an electro-optic device which are represented by the liquid crystal display panel.

[0002] In addition, a semiconductor device points out the equipment at large which may function by using a semi-conductor property into this specification, and all of an electro-optic device, a semiconductor circuit, and electronic equipment are semiconductor devices.

[0003]

[Description of the Prior Art] Development of the semiconductor device which has the large area integrated circuit formed by TFT on the substrate which has an insulating front face is progressing. The active matrix liquid crystal indicating equipment, EL indicating equipment, and the contact type image sensor are known as the example of representation. Especially TFT (it is hereafter described as poly-Si TFT) that made the barrier layer the crystalline substance silicon film (typically polish recon film) can also form various functional circuits from electric field effect mobility being high.

[0004] For example, the drive circuit for controlling pixel circuits, such as a pixel circuit which performs image display for every functional block, and a shift register circuit based on a CMOS circuit, a level-shifter circuit, a buffer circuit, a sampling circuit, to an active matrix liquid crystal indicating equipment is formed on one substrate.

[0005] TFT is arranged at each dozens to millions of pixel, and the pixel electrode is prepared in the pixel circuit of an active matrix liquid crystal display at the each of TFT. The counterelectrode is

prepared in the opposite substrate side which sandwiched liquid crystal, and a kind of capacitor which used liquid crystal as the dielectric is formed. And liquid crystal is driven by controlling the electrical potential difference impressed to each pixel by the switching function of TFT, and controlling the charge to this capacitor, and it has become the structure which controls the amount of transmitted lights and displays an image.

[0006]

[Problem(s) to be Solved by the Invention] When a pixel circuit and a drive circuit are formed on an insulating front face, capacity (parasitic capacitance) will arise inevitably between the multilayer interconnections formed.

[0007] The magnitude of this parasitic capacitance is determined by the electrode surface product with which lower layer wiring and the upper wiring have lapped, the thickness of the insulator layer between overlapping lower layer wiring and the upper wiring, etc.

[0008] It is so large that the effect of this parasitic capacitance cannot be disregarded as a miniaturization and low electrification of a circuit progress in recent years. Then, in order to reduce the effect of this parasitic capacitance, enlarging the electrode surface product of auxiliary capacity was proposed, but when the electrode surface product was enlarged, there was a problem that the numerical aperture of a pixel field fell.

[0009] Moreover, if it is made for lower layer wiring and the upper wiring not to lap, the numerical aperture of a pixel field will fall similarly.

[0010] Especially, in the active matrix liquid crystal display of 1 inch or less of vertical angles, importance is most attached to the numerical aperture.

[0011] In order to raise the numerical aperture of a pixel field, in order to stop wiring area, wiring width of face is made small, or forming a multilayer interconnection as in piles as possible is performed in lower layer wiring and the upper wiring.

[0012] Moreover, the dimension of a contact hole which arrives at the source field and drain field of TFT by the miniaturization of a circuit is also made detailed. Although what is necessary is to process a contact hole in the shape of a taper, and just to give an inclination, in order to take good contact connection, if extreme taper configuration processing is performed, the dimension of a contact hole will become large. For example, with 10nm – 50nm, when it was going to form the minute contact hole which has the diameter of about 0.5–1.5 micrometers, since it was thin, when the interlayer insulation film was thick, depending on etching conditions, poor etching, such as over etching and the etching remainder, had generated the thickness of the source field of TFT, or a drain field.

[0013] This invention is a technique for solving such a technical problem, and the parasitic capacitance formed between multilayer interconnections is reduced, and it aims at raising a display property. Moreover, let it be a technical problem to offer the production approach for realizing such a semiconductor device.

[0014]

[Means for Solving the Problem] The configuration of invention indicated on these specifications the 1st wiring and said 1st wiring on an insulating front face The 1st interlayer insulation film of a wrap, In contact with the part on said 1st interlayer insulation film, it has the 2nd wiring on the 2nd interlayer insulation film, and said 1st interlayer insulation film and said 2nd interlayer insulation film. It is the semiconductor device characterized by carrying out the laminating of said 1st interlayer insulation film and said 2nd interlayer insulation film in the field with which said 1st wiring and said 2nd wiring have lapped.

[0015] In the above-mentioned configuration, the etching rate of said 1st interlayer insulation film is characterized by being smaller than the etching rate of said 2nd interlayer insulation film.

[0016] Moreover, as for the selection ratio of the etching rate to said 2nd interlayer insulation film of said 1st interlayer insulation film, in each above-mentioned configuration, it is desirable that it is 1.5 or more.

[0017] Moreover, in each above-mentioned configuration, thickness of said 1st interlayer insulation film is characterized by being 50-300nm.

[0018] Moreover, in each above-mentioned configuration, thickness of said 2nd interlayer insulation film is characterized by being 150nm - 1 micrometer.

[0019] Moreover, the configuration of other invention is a semiconductor device characterized by forming the 1st interlayer insulation film, the 2nd interlayer insulation film, and the 2nd wiring above the 1st wiring which forms said TFT in the semiconductor device which contains TFT at least, and forming gate dielectric film, the 1st interlayer insulation film, and said 2nd wiring above said source field of TFT, or the drain field on an insulating front face.

[0020] In the above-mentioned configuration, the sum of the thickness of said gate dielectric film and the thickness of said 1st interlayer insulation film is characterized by being 0.1 micrometers or more.

[0021] Moreover, the configuration of other invention is a semiconductor device characterized by the 2nd wiring existing above the 1st wiring which forms said TFT in the semiconductor device which contains TFT at least on an insulating front face through the 1st interlayer insulation film and the 2nd interlayer insulation film.

[0022] In the above-mentioned configuration, it is characterized by the 1st interlayer insulation film existing above said source field of TFT, or the drain field.

[0023] Moreover, in each above-mentioned configuration, said TFT is characterized by being the reverse stagger mold TFT.

[0024] Moreover, in each above-mentioned configuration, said 1st wiring is gate wiring.

[0025] Moreover, the channel formation field of the pixel TFT which forms said pixel circuit is formed so that it may lap with some gate wiring through gate dielectric film, and some these gate wiring is the semiconductor devices characterized by to have lapped with the 2nd wiring through two or more insulator layers from which an etching rate differs in the semiconductor device which includes a drive circuit for the configuration of other invention to control a pixel circuit and this pixel circuit on the same substrate at least.

[0026] Moreover, in each above-mentioned configuration, said 2nd wiring is a source line or a drain wire.

[0027] In each above-mentioned configuration, the LDD field of the pixel TFT which the LDD field of the n channel mold TFT which forms said drive circuit is formed so that at least a part or all may lap with gate wiring of this n channel mold TFT, and forms said pixel circuit is characterized by being formed so that it may not lap with the gate electrode of this pixel TFT.

[0028] In each above-mentioned configuration, the LDD field of the n channel mold TFT which forms said drive circuit The LDD field of Pixel TFT in which at least a part or all is formed in so that it may lap with the gate electrode of this n channel mold TFT, and they forms said pixel circuit It is characterized by being formed so that it may not lap with the gate electrode of this pixel TFT, and forming the retention volume of said pixel circuit with the oxide and pixel electrode of a screen and this screen which were prepared on the organic resin film.

[0029] Moreover, the configuration of invention for realizing the above-mentioned structure The 1st process which forms the 1st wiring on an insulating front face, and the 2nd process which forms the 1st interlayer insulation film of a wrap for said 1st wiring, It is the production approach of the semiconductor device characterized by having the 3rd process which forms the 2nd interlayer insulation film on said 1st interlayer insulation film, the 4th process which removes alternatively said a part of 2nd interlayer insulation film, and the 5th process which forms the 2nd wiring on the 2nd interlayer insulation film which laps with said 1st wiring.

[0030] Moreover, the configuration of other invention is set to the production approach of the semiconductor device which contains TFT at least on an insulating front face. The 1st process which forms a barrier layer on an insulating front face, and the 2nd process which forms gate dielectric film in contact with said barrier layer, The 3rd process which adds n mold impurity element or p mold impurity element to said a part of barrier layer, and forms a source field or a drain field in it, The 4th process

which forms the 1st interlayer insulation film of a wrap for gate wiring and a gate electrode, The 5th process which forms the 2nd interlayer insulation film on said 1st interlayer insulation film, and the 6th process which etches into said 2nd interlayer insulation film, and removes the 2nd interlayer insulation film above said source field or said drain field, The 7th process which forms the contact hole which etches into said 1st interlayer insulation film and said gate dielectric film, and arrives at said source field or a drain field, It is the production approach of the semiconductor device characterized by having the 8th process which forms the 2nd wiring which touches said source field or a drain field on said 2nd interlayer insulation film which laps with said gate electrode.

[0031] Moreover, the configuration of other invention is set to the production approach of the semiconductor device which includes the drive circuit for controlling a pixel circuit and this pixel circuit on the same substrate at least. The 1st process which forms a barrier layer on an insulating front face, and the 2nd process which forms gate dielectric film in contact with said barrier layer, The 3rd process which forms gate wiring and a gate electrode on said gate dielectric film, The 4th process which adds n mold impurity element or p mold impurity element to said a part of barrier layer, and forms n mold impurity range or p mold impurity range, The 5th process which forms the 1st interlayer insulation film of a wrap for gate wiring and a gate electrode, The 6th process which forms the 2nd interlayer insulation film alternatively on the 1st interlayer insulation film which laps with said gate electrode, The 7th process which forms the contact hole which etches into said 1st interlayer insulation film and said gate dielectric film, and arrives at said n mold impurity range or said p mold impurity range, It is the production approach of the semiconductor device characterized by having the 8th process which forms the 2nd wiring which touches said n mold impurity range or said p mold impurity range on said 2nd interlayer insulation film which laps with said gate electrode.

[0032] Moreover, the configuration of other invention is set to the production approach of the semiconductor device which includes the drive circuit for controlling a pixel circuit and this pixel circuit on the same substrate at least. The 1st process which forms a barrier layer on an insulating front face, and the 2nd process which forms gate dielectric film in contact with said barrier layer, The 3rd process which forms gate wiring and a gate electrode on said gate dielectric film; The 4th process which adds n mold impurity element or p mold impurity element to said a part of barrier layer, and forms n mold impurity range or p mold impurity range, The 5th process which forms the 1st interlayer insulation film of a wrap for gate wiring and a gate electrode, The 6th process which forms the contact hole which etches into said 1st interlayer insulation film and said gate dielectric film, and arrives at said n mold impurity range or said p mold impurity range, The 7th process which forms the 2nd interlayer insulation film alternatively on said 1st interlayer insulation film, It is the production approach of the semiconductor device characterized by having the 8th process which forms the 2nd wiring which touches said n mold impurity range or said p mold impurity range on said 2nd interlayer insulation film which laps with said gate electrode.

[0033]

[Embodiment of the Invention] The operation gestalt of the invention in this application is explained below using drawing 5 R> 5.

[0034] As shown in drawing 5, in order to raise a numerical aperture, by the invention in this application, some or all of a gate electrode that laps with the channel formation fields 213 and 214 of Pixel TFT, and the 2nd wiring (a source line or drain wire) 154 and 157 are repeated. Moreover, between a gate electrode and the 2nd wiring 154 and 157, the 1st interlayer insulation film 149 and 2nd interlayer insulation film 150c are prepared, and parasitic capacitance is reduced. In addition, the plan of the viewing area corresponding to drawing 5 R> 5 was shown in drawing 8 (B).

[0035] Moreover, since 2nd interlayer insulation film 150c is alternatively prepared only in the field to which the 2nd wiring laps with a gate electrode, it is easy to perform opening of the contact hole which arrives at the source field or drain field of Pixel TFT.

[0036] Moreover, what is necessary is just to form 2nd interlayer insulation film 150b in the field with

which gate wiring and the 2nd wiring 151 which were prepared on the insulator layer 115 have crossed and lapped alternatively in a drive circuit. In addition, the plan of the drive circuit corresponding to drawing 5 was shown in drawing 7 (B).

[0037] In addition, the insulator layer which contains silicon as the 1st interlayer insulation film and the 2nd interlayer insulation film is used. As an insulator layer containing silicon, the silicon oxide film, a silicon nitride film, and the nitriding silicon oxide film can be used. What is necessary is just to use CVD methods, such as plasma CVD, reduced pressure CVD, and ECRCVD, a spatter, etc. for the membrane formation approach of these film. In addition, using plasma CVD, if organic silanes, such as TEOS, are used as a source of Si and O<sub>2</sub> or O<sub>3</sub> are used for material gas as a source of O, the insulator layer called the TEOS film will be formed. Moreover, inorganic silanes, such as SiH<sub>4</sub> (mono silane) or a disilane, can be used for material gas as a source of Si, and O<sub>2</sub>, O<sub>3</sub>, and N<sub>2</sub>O can be used as a source of O. In addition, using a reduced pressure CVD method, if O<sub>2</sub>, O<sub>3</sub>, and N<sub>2</sub>O is used as SiH<sub>4</sub> (mono silane) and a source of O as a source of Si, the insulator layer called the LTO film will be formed.

[0038] In addition, the nitriding silicon oxide film is an insulator layer which contains silicon, nitrogen, and oxygen in a predetermined amount, and is an insulator layer expressed with SiO<sub>x</sub>N<sub>y</sub>. However, the ratio of concentration of N to the concentration of Si in the nitriding silicon oxide film is made or less [ 0.1 or more ] into 0.8. Control of a presentation of the insulator layer containing silicon, oxygen, nitrogen, etc. is performed by adjusting suitably the class of material gas, a flow rate, substrate temperature, a pressure, RF power, and an electrode spacing.

[0039] Although especially the thickness of the 1st interlayer insulation film is not limited, in case gate dielectric film, coincidence, or the contact hole that carries out sequential etching and reaches a silicon layer is formed, since it is thin, it is important for a silicon layer to etch on a silicon layer and the conditions (an insulator layer ingredient, thickness, etching gas, etc.) which can take a selection ratio enough. In addition, when these conditions are taken into consideration, as for the thickness of the 1st interlayer insulation film, what is made thin (for example, 200nm or less) is desirable. However, the thickness which protects gate wiring from oxidation at an activation process is required. Moreover, when forming a minute contact hole, it is desirable to make it the 2nd interlayer insulation film not exist in a contact hole formation field.

[0040] Moreover, since the making process of the invention in this application which realizes the above-mentioned structure has the process ( drawing 4 (B) ) which carries out wet etching only of the 2nd interlayer insulation film alternatively, as for the ingredient used for the 2nd interlayer insulation film, considering as the big ingredient of an etching rate is more desirable than the 1st interlayer insulation film.

[0041] Even when forming the 2nd interlayer insulation film using the same material gas as the 1st interlayer insulation film, if membranes are formed at temperature lower 10 degrees C or more than the membrane formation temperature of the 1st interlayer insulation film, the big film of an etching rate can be obtained.

[0042] Moreover, a selection ratio with the 2nd interlayer insulation film may be enlarged by giving heat annealing (750–850 degrees C, 15 minutes – 4 hours) to the 1st interlayer insulation film, and making small the etching rate of the 1st interlayer insulation film.

[0043] In addition, although it is possible to use dry etching in the case of the process which etches only the 2nd interlayer insulation film alternatively, the wet etching from which the 1st interlayer insulation film and a selection ratio can be enough taken, and a taper configuration is acquired is desirable. In addition, it will not be limited especially if it is the more than thickness from which parasitic capacitance does not become a problem, for example, 0.5 micrometers, as thickness of the 2nd interlayer insulation film. Moreover, anisotropic etching may be used.

[0044] Moreover, as shown in drawing 12 , after forming a contact hole in gate dielectric film and the 1st interlayer insulation film by dry etching as other approaches of contact hole formation of arriving at a source field or a drain field, the laminating of the 2nd interlayer insulation film may be carried out, and a



contact hole may be again formed in the 2nd interlayer insulation film by wet etching.

[0045] Moreover, if the laminating of a thin silicon nitride film, the DLC film, the AlN film, the \*\* AINO film, etc. is carried out and they are used as a blocking layer of etching of it on the 1st interlayer insulation film as a process which etches only the 2nd interlayer insulation film alternatively, the 2nd interlayer insulation film can be alternatively etched using dry etching. Moreover, if a resist configuration is changed even if it uses dry etching, it can consider as a taper configuration.

[0046] Here, although the two-layer interlayer insulation film (the 1st interlayer insulation film and the 2nd interlayer insulation film) was used between gate wiring and the 2nd wiring, the laminating of three layers or the interlayer insulation film beyond it may be carried out.

[0047] By considering as the configuration of the above-mentioned invention in this application, the bad influence to the display property of repeating a gate electrode and the 2nd wiring according, to parasitic capacitance also as a layout can be lost. Moreover, even if it is the active matrix liquid crystal display of 1 inch or less of vertical angles, the parasitic capacitance formed with gate wiring and the 2nd wiring is small enough, and can form a minute contact hole (a diameter is about 0.5 micrometers - 1.5 micrometers).

[0048] Suppose that still more detailed explanation is given about the invention in this application which becomes with the above configuration as it is also at the example shown below.

[0049]

[Example] The example of [example 1] this invention is explained using drawing 1 - drawing 5. Here, how to produce the drive circuit for controlling a pixel circuit and its pixel circuit on the same substrate to coincidence is explained. However, in order to simplify explanation, suppose that the CMOS circuit which are basic circuits, such as a shift register circuit and a buffer circuit, and the n channel mold TFT which forms a sampling circuit are illustrated in a drive circuit.

[0050] In drawing 1 (A), it is desirable to use a quartz substrate and a silicon substrate for a substrate 101. The quartz substrate was used in this example. In addition, it is good also considering the thing in which the insulator layer was formed on the front face of a metal substrate or a stainless steel substrate, as a substrate. Since the thermal resistance which can bear the temperature of 800 degrees C or more is required in the case of this example, as long as it is the substrate which fills it, what kind of substrate may be used.

[0051] And the semi-conductor film 102 including amorphous structure with a thickness of 20-100nm (preferably 40-80nm) is formed in the front face in which TFT of a substrate 101 is formed by the reduced pressure heat CVD method, the plasma-CVD method, or the spatter. In addition, although the amorphous silicon film of 60nm thickness is formed in this example, since a thermal oxidation process is behind, this thickness does not necessarily turn into thickness of the final barrier layer of TFT.

[0052] Moreover, as semi-conductor film including amorphous structure, there are amorphous semiconductor film and microcrystal semi-conductor film, and the compound semiconductor film which includes the amorphous structure of the amorphous silicon germanium film etc. further is also contained.

[0053] Moreover, it is also effective to form continuously without carrying out atmospheric-air release of the substrate film and the amorphous silicon film on a substrate. By doing so, contamination on the front face of a substrate can become able [ not affect the amorphous silicon film ] to make it, and the property variation of TFT produced can be reduced.

[0054] Next, on the amorphous silicon film 102, the mask film 103 which becomes by the insulator layer containing silicon (silicon) is formed, and Openings 104a and 104b are formed by patterning. This opening serves as an addition field for adding the catalyst element which promotes crystallization in the case of the following crystallization process. ( Drawing 1 (A) )

[0055] In addition, as an insulator layer containing silicon, the silicon oxide film, a silicon nitride film, and the nitriding silicon oxide film can be used. The nitriding silicon oxide film is an insulator layer which contains silicon, nitrogen, and oxygen in a predetermined amount, and is an insulator layer expressed with SiOxNy. The nitriding silicon oxide film can produce SiH4, N2O, and NH3 as material gas, and is

good for the nitrogen concentration to contain to consider as less than [ more than 25atomic%50atomic% ].

[0056] Moreover, the marker pattern used as the criteria of a next patterning process is formed at the same time it performs patterning of this mask film 103.

[0057] Next, according to the technique indicated by JP,10-247735,A (it corresponds to the U.S. application number 09 / 041), the semi-conductor film including the crystal structure is formed. [ 034 and 041 ] A technique given [ this ] in an official report is a crystallization means using the catalyst element (a kind or two or more sorts of elements chosen from nickel, cobalt, germanium, tin, lead, palladium, iron, and copper) which promotes crystallization on the occasion of crystallization of the semi-conductor film including amorphous structure.

[0058] It heat-treats in the condition of having made the catalyst element specifically holding on the front face of the semi-conductor film including amorphous structure, and the semi-conductor film including amorphous structure is changed to the semi-conductor film including the crystal structure. In addition, as a crystallization means, the technique indicated by the example 1 of JP,7-130652,A may be used. Moreover, although the so-called single crystal semiconductor film and the polycrystal semi-conductor film are contained in the semi-conductor film including crystalline substance structure, the semi-conductor film including the crystal structure formed in this official report has the grain boundary.

[0059] In addition, although the spin coat method is used in this official report in case the layer containing a catalyst element is formed on the mask film, it is very good in a means to form membranes using gaseous-phase methods [ thin film / containing a catalyst element ], such as a spatter and vacuum deposition.

[0060] Moreover, although the amorphous silicon film is based also on the amount of content hydrogen, it is desirable to make it crystallize, since heat-treatment of about 1 hour is preferably performed at 400-550 degrees C and hydrogen is fully desorbed. In that case, it is desirable to make the amount of content hydrogen into less than [ 5atom% ].

[0061] After a crystallization process performs the heat treatment process of about 1 hour at 400-500 degrees C first and desorbs hydrogen out of the film, it performs heat treatment of 6 - 16 hours (preferably 8 - 14 hours) at 500-650 degrees C (preferably 550-600 degrees C).

[0062] At this example, heat treatment of 14 hours is performed at 570 degrees C, using nickel as a catalyst element. Consequently, crystallization advances with the openings 104a and 104b as the starting point in the direction (direction shown by the arrow head) parallel to an outline substrate, and the semi-conductor film (this example crystalline substance silicon film) 105a-105d including the crystal structure to which the macroscopic crystal growth direction was equal is formed. ([ Drawing 1 (B) ] 0063) Next, the gettering process which removes the nickel used at the process of crystallization from the crystalline substance silicon film is performed. In this example, the process which adds the element (this example Lynn) which belongs to 15 groups by using as a mask the mask film 103 in which the point was formed as it is is performed, and the Lynn addition fields (henceforth a gettering field) 106a and 106b which include Lynn in the crystalline substance silicon film exposed by Openings 104a and 104b by the concentration of  $1 \times 10^{19}$  -  $1 \times 10^{20}$  atoms/cm<sup>3</sup> are formed. ( Drawing 1 (C) )

[0064] Next, 450-650 degrees C (preferably 500-550 degrees C) and the heat treatment process of 4 - 24 hours (preferably 6 - 12 hours) are performed in nitrogen-gas-atmosphere mind. The nickel in the crystalline substance silicon film moves in the direction of an arrow head according to this heat treatment process, and it is captured to the gettering fields 106a and 106b according to a gettering operation of Lynn. That is, since nickel is removed out of the crystalline substance silicon film, the nickel concentration contained in the crystalline substance silicon film 107a-107d after gettering can be preferably reduced even to  $1 \times 10^{16}$  atoms/cm<sup>3</sup> three or less  $1 \times 10^{17}$  atoms/cm.

[0065] Next, the mask film 103 is removed and a protective coat 108 is formed for a next impurity addition process on crystalline substance silicon film 107a-107d. A protective coat 108 is good to use the nitriding silicon oxide film or the silicon oxide film with a thickness of 100-200nm (preferably 130-

170nm). This protective coat 108 has the semantics for enabling delicate concentration control, in order not to put the crystalline substance silicon film to the direct plasma at the time of impurity addition. [0066] And the resist mask 109 is formed on it and the impurity element (henceforth p mold impurity element) which gives p mold through a protective coat 108 is added. Boron or a gallium can be used for the element and type target which belong to 13 groups typically as a p mold impurity element. This process (it is called a channel dope process) is a process for controlling the threshold electrical potential difference of TFT. In addition, boron is added by the ion doping method which carried out plasma excitation without carrying out mass separation of the diboron hexahydride ( $B_2H_6$ ) here. Of course, the ion implantation method for performing mass separation may be used.

[0067] The impurity ranges 110a and 110b which contain p mold impurity element (this example boron) according to this process by the concentration of  $1 \times 10^{15} - 1 \times 10^{18}$  atoms/cm<sup>3</sup> (typically  $5 \times 10^{16} - 5 \times 10^{17}$  atoms/cm<sup>3</sup>) are formed. In addition, in this specification, the impurity range (however, field where Lynn is not included) containing p mold impurity element is defined as p mold impurity range (b) by the above-mentioned density range. ( Drawing 1 (D))

[0068] Next, the resist mask 109 is removed, patterning of the crystalline substance silicon film is carried out, and the island-like semi-conductor layers (henceforth a barrier layer) 111-114 are formed. In addition, barrier layers 111-114 are formed very much by the crystalline good crystalline substance silicon film by adding nickel alternatively and crystallizing. Specifically, it has cylindrical or the crystal structure with which the column-like crystal had specific directivity and was located in a line. Moreover, the concentration of the catalyst element which is removing or reducing nickel according to a gettering operation of Lynn after crystallization, and remains in a barrier layer 111-114 is  $1 \times 10^{16}$  atoms/cm<sup>3</sup> preferably three or less  $1 \times 10^{17}$  atoms/cm. ( Drawing 1 R> 1 (E))

[0069] Moreover, the barrier layer 111 of the p channel mold TFT is a field which does not contain the impurity element added intentionally, and the barrier layers 112-114 of the n channel mold TFT serve as p mold impurity range (b). In this specification, it is defined as the barrier layers 111-114 of this condition being genuineness genuineness or substantially altogether. That is, the field where the impurity element is intentionally added by extent which does not cause trouble to actuation of TFT may consider a genuineness field substantially.

[0070] Next, the insulator layer which contains the silicon of 10-100nm thickness by the plasma-CVD method or the spatter is formed. In this example, the nitriding silicon oxide film of 30nm thickness is formed. The insulator layer containing other silicon may be used for the insulator layer containing this silicon in a monolayer or a laminating.

[0071] Next, the heat treatment process of 15 minutes - 8 hours (preferably 30 minutes - 2 hours) is performed under an oxidizing atmosphere at the temperature of 800-1150 degrees C (preferably 900-1000 degrees C) (thermal oxidation process). In this example, 950-degree-C heat treatment process for 80 minutes is performed in the ambient atmosphere which added the hydrogen chloride of 3 volume % in the oxygen ambient atmosphere. In addition, the boron added at the process of drawing 1 (D) is activated between this thermal oxidation process. ( Drawing 2 (A))

[0072] In addition, as an oxidizing atmosphere, although a dry oxygen ambient atmosphere or a wet oxygen ambient atmosphere is sufficient, the dry oxygen ambient atmosphere is suitable for reduction of the crystal defect in a semi-conductor layer. Moreover, although considered as the ambient atmosphere which included the halogen in the oxygen ambient atmosphere in this example, you may carry out in an oxygen ambient atmosphere 100%.

[0073] Also in the interface of the insulator layer containing silicon, and the barrier layers 111-114 under it, oxidation reaction advances between this thermal oxidation process. In the invention in this application, it adjusts so that the thickness of the gate dielectric film 115 finally formed in consideration of it may be set to 50-200nm (preferably 100-150nm). At the thermal oxidation process of this example, 25nm of the barrier layer of 60nm thickness oxidizes, and the thickness of barrier layers 111-114 is set to 45nm. Moreover, since the thermal oxidation film of 50nm thickness is added to the insulator layer

containing the silicon of 30nm thickness, the thickness of final gate dielectric film 115 is set to 110nm. [0074] Next, the resist masks 116–119 are newly formed. And the impurity ranges 120–122 which add the impurity element (henceforth n mold impurity element) which gives n mold, and present n mold are formed. In addition, Lynn or arsenic can be used for the element and type target which belong to 15 groups typically as an n mold impurity element. ( Drawing 2 (B) )

[0075] These impurity ranges 120–122 are impurity ranges for making it function as a LDD field in the n channel mold TFT of a CMOS circuit and a sampling circuit later. In addition, n mold impurity element is contained in the impurity range formed here by the concentration of  $2 \times 10^{16}$  –  $5 \times 10^{19}$  atoms/cm<sup>3</sup> (typically  $5 \times 10^{17}$  –  $5 \times 10^{18}$  atoms/cm<sup>3</sup>). In this specification, the impurity range containing n mold impurity element is defined as n mold impurity range (b) by the above-mentioned density range.

[0076] In addition, Lynn is added by the concentration of  $1 \times 10^{18}$  atoms/cm<sup>3</sup> by the ion doping method which carried out plasma excitation without carrying out mass separation of the phosphoretted hydrogen (PH<sub>3</sub>) here. Of course, the ion implantation method for performing mass separation may be used. At this process, Lynn is added on the crystalline substance silicon film through the gate film 115.

[0077] Next, Lynn which heat-treated in the 600–1000 degrees C (preferably 700–800 degrees C) inert atmosphere, and was added at the process of drawing 2 R> 2 (B) is activated. In this example, 800 degrees C and heat treatment of 1 hour are performed in nitrogen-gas-atmosphere mind. ( Drawing 2 (C) )

[0078] At this time, it is possible to restore the interface of the barrier layer and barrier layer which were damaged in coincidence at the time of addition of Lynn, and gate dielectric film. Although this activation process has desirable furnace annealing which used the electric heat furnace, optical annealing, such as lamp annealing and laser annealing, may be used together.

[0079] it exists in the boundary section of n mold (impurity range b) 120–122, i.e., the perimeter of n mold impurity range (b), according to this process — a joint with a genuineness field (of course, p mold impurity range (b) is included) becomes clear genuineness or substantially. This means that a LDD field and a channel formation field can form a very good joint, when TFT is completed behind.

[0080] Next, the electric conduction film used as gate wiring is formed. In addition, although gate wiring may be formed by the electric conduction film of a monolayer, it is desirable to consider as cascade screens, such as a bilayer and three layers, if needed. In this example, the cascade screen which becomes by the 1st electric conduction film 123 and the 2nd electric conduction film 124 is formed. ( Drawing 2 (D) )

[0081] Here as the 1st electric conduction film 123 and the 2nd electric conduction film 124 A tantalum (Ta), titanium (Ti), molybdenum (Mo), a tungsten (W), the electric conduction film (typical — the tantalum nitride film —) which uses as a principal component chromium (Cr), the element chosen from silicon (Si), or said element The nitriding tungsten film, the titanium nitride film, or the alloy film (typically the Mo–W alloy film, Mo–Ta alloy film, tungsten silicide film, etc.) that combined said element can be used.

[0082] In addition, the 1st electric conduction film 123 is set to 10–50nm (preferably 20–30nm), and should just set the 2nd electric conduction film 124 to 200–400nm (preferably 250–350nm). In this example, the nitriding tungsten (WN) film of 50nm thickness is used as the 1st electric conduction film 123, and the tungsten film of 350nm thickness is used as the 2nd electric conduction film 124. In addition, although not illustrated, it is effective to form the silicon film (for Lynn to have been doped) in the bottom of the 1st electric conduction film 123 by the thickness of about 2–20nm. Antioxidizing can be planned with improvement in the adhesion of the electric conduction film formed on it by this.

[0083] Moreover, it is also effective to use the tantalum film as the tantalum nitride film and the 2nd electric conduction film 124 as the 1st electric conduction film 123.

[0084] Next, the 1st electric conduction film 123 and the 2nd electric conduction film 124 are etched by package, and the gate wiring 125–128 of 400nm thickness is formed. At this time, the gate wiring 126 and 127 formed in a drive circuit is formed so that it may lap through the part and gate dielectric film

115 of n mold (impurity range b) 120-122. This overlapping part serves as a Lov field behind. ( Drawing 2 (E) )

[0085] In addition, the plan in this condition is shown in drawing 6 (A) and drawing 7 (A). The A-A' cross section in drawing 6 (A) is equivalent to drawing 2 (E). Moreover, the B-B' cross section in drawing 7 (A) is equivalent to drawing 2 (E). Although the gate wiring 128a, 128b, and 128c by drawing 2 (E) is visible to three, it is formed from one pattern connected continuously in practice in the cross section.

[0086] Moreover, after gate wiring formation, in order to protect the 2nd electric conduction film, it is good also as gate electrode structure which carried out the laminating of the tantalum nitride film or the nitriding tungsten film, performed patterning again, and enclosed the 2nd electric conduction film.

[0087] Next, the resist mask 129 is formed and the impurity ranges 130 and 131 which add p mold impurity element (this example boron), and contain boron in high concentration are formed. At this example, boron is added by  $3 \times 10^{20} - 3 \times 10^{21}$  atoms/cm<sup>3</sup> (typically  $5 \times 10^{20} - 1 \times 10^{21}$  atoms/cm<sup>3</sup>) concentration by the ion doping method (of course, the ion implantation method may be used) for having used diboron hexahydride (B-2 H<sub>6</sub>). In addition, in this specification, the impurity range containing p mold impurity element is defined as p mold impurity range (a) by the above-mentioned density range.

( Drawing 3 (A) )

[0088] Next, the resist mask 129 is removed and the resist masks 132-134 are formed for the field used as gate wiring and the p channel mold TFT in a wrap form. And the impurity ranges 135-141 which add n mold impurity element (this example Lynn), and include Lynn in high concentration are formed. Here, it carries out by the ion doping method (of course, the ion implantation method may be used) for having used phosphoretted hydrogen (PH<sub>3</sub>), and concentration of Lynn of this field is made into  $1 \times 10^{20} - 1 \times 10^{21}$  atoms/cm<sup>3</sup> (typically  $2 \times 10^{20} - 5 \times 10^{21}$  atoms/cm<sup>3</sup>). ( Drawing 3 (B) )

[0089] In addition, in this specification, the impurity range containing n mold impurity element is defined as n mold impurity range (a) by the above-mentioned density range. Moreover, although Lynn or boron already added at the last process is contained in the field in which impurity ranges 135-141 were formed, since Lynn will be added by concentration high enough, it is not necessary to consider the effect of Lynn added at the last process, or boron. Therefore, in this specification, impurity ranges 135-141 may be put in another way as n mold impurity range (a).

[0090] Next, n mold impurity element (this example Lynn) is added in self align by using gate wiring 125-128 as a mask. In the formed impurity ranges 143-146, in this way, the concentration of  $1 / 2 - 1 / 10$  (typically  $1 / 3 - 1 / 4$ ) of said n mold impurity range (b) (— however, 5 to 10 times as high concentration as the boron concentration added at the above-mentioned channel dope process — typical —  $1 \times 10^{16} - 5 \times 10^{18}$  atoms/cm<sup>3</sup> — typical —  $3 \times 10^{17} - 3 \times 10^{18}$  atoms/cm<sup>3</sup> —) — it adjusts so that Lynn may be added. In addition, in this specification, the impurity range (however, p mold impurity range (a) is removed) containing n mold impurity element is defined as n mold impurity range (c) by the above-mentioned density range. ( Drawing 3 (C) )

[0091] In addition, although Lynn is added by all impurity ranges by the concentration of  $1 \times 10^{16} - 5 \times 10^{18}$  atoms/cm<sup>3</sup> except for the part hidden with gate wiring in this process, since it is very low concentration, the function of each impurity range is not affected. Moreover, although the boron of the concentration of  $1 \times 10^{15} - 1 \times 10^{18}$  atoms/cm<sup>3</sup> is already added by n mold (impurity range b) 143-146 at the channel dope process, since Lynn is added with boron 5 to 10 times the concentration of being contained at this process in p mold impurity range (b), you may think that boron does not affect the function of n mold impurity range (b) in this case, either.

[0092] however — strict — n mold impurity range (b) — to the Lynn concentration of the part which lapped with gate wiring among 147 and 148 continuing being  $2 \times 10^{16} - 5 \times 10^{19}$  atoms/cm<sup>3</sup>, Lynn of the concentration of  $1 \times 10^{16} - 5 \times 10^{18}$  atoms/cm<sup>3</sup> has joined it, and the part which does not lap with gate wiring will include Lynn by concentration high a little.

[0093] Moreover, in case n mold impurity range (c) is formed, the cap film (25-100nm) which prevents oxidation of gate wiring beforehand may be formed, and an offset field may be formed. in addition,

although it is formed in a channel formation field in contact with an offset field and becomes by the semi-conductor film of the same presentation as a channel formation field, since gate voltage is not impressed, an inversion layer (channel field) is not formed -- high -- a field [ \*\*\*\* ] is pointed out. It can be said that it is important to suppress the lap of a LDD field and gate wiring as much as possible in order to lower an OFF state current value, and it is effective to prepare an offset field in such semantics.

[0094] Next, the 1st interlayer insulation film 149 is formed. What is necessary is just to form as the 1st interlayer insulation film 149 by the insulator layer containing silicon, and the cascade screen which specifically combined a silicon nitride film, the silicon oxide film, the nitriding silicon oxide film, or them. Moreover, thickness should just set 100-400nm to 200nm or less preferably. In this example, the membrane formation temperature of 325 degrees C, SiH<sub>4</sub>, and N<sub>2</sub>O were made into material gas by the plasma-CVD method, and the nitriding silicon oxide film (here, nitrogen concentration is less than [ 5atomic% ]) of 200nm of thickness was used.

[0095] Then, in order to activate n mold or p mold impurity element added by each concentration, the heat treatment process was performed. This process can use together the furnace annealing method, the laser annealing method, the lamp annealing method, or them, and can perform them. What is necessary is just to perform 500-800 degrees C at 550-600 degrees C preferably into an inert atmosphere, when carrying out by the furnace annealing method. In this example, while performing 800 degrees C and heat treatment of 1 hour and activating the impurity element, the selection ratio with the 2nd interlayer insulation film which makes small the etching rate of the 1st interlayer insulation film 149, and is formed behind was enlarged. The etching rate of the 1st interlayer insulation film 149 after heat annealing was able to be made small with 88 nm/min to the etching rates immediately after 1st interlayer insulation film 149 membrane formation (value of LAL500 in 20 degrees C) having been 260 nm/min: ( Drawing 3 (D) )

[0096] Next, after an activation process, in the ambient atmosphere containing 3 - 100% of hydrogen, heat treatment of 1 - 4 hours is performed at 300-450 degrees C; and a barrier layer is hydrogenated. This process is a process which carries out termination of the dangling bond of a semi-conductor layer by the hydrogen excited thermally. As other means of hydrogenation, plasma hydrogenation (the hydrogen excited by the plasma is used) may be performed.

[0097] If an activation process is finished, 500nm - 1.5 micrometers 2nd interlayer insulation film 150a which has the thickness of 500nm - 800nm preferably will be formed on the 1st interlayer insulation film 149. This 2nd interlayer insulation film 150a is prepared for reduction of the parasitic capacitance produced in the lap section of the lap part of gate wiring and the upper wiring, a gate electrode (it corresponds above a channel formation field), and the upper wiring. In addition, as compared with the 1st interlayer insulation film, 2nd interlayer insulation film 150a chose the ingredient (nitriding silicon oxide film (however, nitrogen concentration 10atomic(s)% less than), etching rate 210 nm/min which made material gas the membrane formation temperature of 400 degrees C, SiH<sub>4</sub>, and N<sub>2</sub>O by the plasma-CVD method) with a large etching rate, and set thickness to 500nm.

[0098] Next, patterning by dry etching or wet etching is performed, and it leaves the 2nd interlayer insulation film only to the field (150b, 150c) to which the source wiring or drain wiring formed behind laps with gate wiring. In this example, patterning was carried out using the wet etching which used LAL500. As mentioned above, since the etching rates of the 1st interlayer insulation film are 88 nm/min, they can take a selection ratio enough to the etching rates of the 2nd interlayer insulation film being 210 nm/min. What is necessary is just to have preferably the selection ratio of the 1st interlayer insulation film and the 2nd interlayer insulation film 3-5 1.5 or more. ( Drawing 4 (B) )

[0099] Then, patterning is performed to the 1st interlayer insulation film and gate dielectric film, and the contact hole which arrives at the source field or drain field of TFT is formed. However, since the thickness of a source field and a drain field is thin (10nm - 50nm), it is important for it to adjust etching conditions so that the amount of over etching (the amount of polish recon film decreases) may not



exceed a predetermined value.

[0100] The theoretical value of the amount of polish recon film decreases at the time of contact hole formation is shown in Table 1.

[0101]

[Table 1]

# 層間絶縁膜200nm : コンタクトホール形成時のp-Si膜減り量

前提条件:

層間膜 (200nm $\pm$ 5%) + G1膜 (120nm $\pm$ 5%)

min 190nm+114nm=304nm

max 210nm+126nm=336nm

SiO<sub>2</sub>エッチングレートの平均値=300nm/min (5nm/sec)

オーバーエッチング時間=0秒

SiO <sub>2</sub> エッチングレート ばらつき (+/-%)	SELECTIVITY (SiO <sub>2</sub> /p-Si)									
	5	10	15	20	25	30	35	40	45	50
1	78	39	26	19	16	13	11	10	9	8
2	91	46	30	23	18	15	13	11	10	9
3	106	53	35	26	21	18	15	13	12	11
4	120	60	40	30	24	20	17	15	13	12
5	135	67	45	34	27	22	19	17	15	13
6	150	75	50	37	30	25	21	19	17	15
7	165	83	55	41	33	28	24	21	18	17
8	181	90	60	45	36	30	26	23	20	18
9	197	98	66	49	39	33	28	25	22	20
10	213	107	71	53	43	36	30	27	24	21
11	230	115	77	58	46	38	33	29	26	23
12	247	124	82	62	49	41	35	31	27	25
13	265	132	88	66	53	44	38	33	29	26
14	283	141	94	71	57	47	40	35	31	28
15	301	151	100	75	60	50	43	38	33	30

[0102] In Table 1, a prerequisite is in the condition that the laminating of gate dielectric film (silicon oxide film, thickness 120nm\*\*5% containing nitrogen) and the 1st interlayer insulation film (silicon oxide film, thickness 200nm\*\*5% containing nitrogen) was carried out on the polish recon film, and an etching rate performs dry etching of 300 nm/min. An etching rate is a value in 20 degrees C of the mixed solution (the product made from Stera KEMIFA, trade name LAL500) which contains 7.13% and ammonium fluoride for ammonium hydrogendifluoride 15.4%. An axis of ordinate shows dispersion in an etching rate, and an axis of abscissa is the selection ratio of the polish recon film and the silicon oxide film containing nitrogen.

[0103] For example, dispersion in an etching rate is 5%, and when making it the amount of over etching want to become a predetermined less than value, for example, 5nm, it can read that it is necessary to give a selection ratio more greatly than 10 in Table 1. Thus, in order to make the amount of over etching below into a predetermined value from Table 1, a selection ratio can ask for whether how many it is the need. Moreover, when a selection ratio is made into a certain value, it can ask for it is necessary how much to suppress dispersion in an etching rate. Moreover, when a table when the 1st interlayer insulation film is larger than 200nm was created like Table 1, the selection ratio was large and dispersion in an etching rate was not the minimum, it turned out that contact hole formation is difficult.

[0104] In this example, since the selection ratio with polish recon suppressed dispersion in an etching rate within 5% using the insulating material of 12-15, the contact hole which does not almost have over etching was able to be formed.

[0105] And source wiring 151-154 and the drain wiring 155-157 are formed. However, when the magnitude of a contact hole is 1 micrometer or less, it is desirable to form a contact hole by dry etching. In addition, in order to form a CMOS circuit, the drain wiring 155 is communalized between the p channel mold TFT and the n channel mold TFT. Moreover, although not illustrated, in this example, it considers as the cascade screen of the three-tiered structure which formed continuously 500nm of aluminum film which includes [ Ti film ] this wiring for 200nm and Ti, and 100nm of Ti film by the spatter.

[0106] Next, it forms as passivation film 158 by the thickness of 50-500nm (typically 200-300nm) with a silicon nitride film, the silicon oxide film, or the nitriding silicon oxide film. ( Drawing 4 (C)) In addition, the plan in this condition is shown in drawing 6 (B) and drawing 7 (B). The A-A' cross section in drawing 6



(B) is equivalent to drawing 4 (C) A-A'. Moreover, the B-B' cross section in drawing 7 (B) is equivalent to drawing 4 (C) B-B'.

[0107] At this time, by this example, plasma treatment is performed using the gas which contains H<sub>2</sub> and NH<sub>3</sub> grade hydrogen in advance of membranous formation, and it heat-treats after membrane formation. The hydrogen excited by this pretreatment is supplied into the 1st and 2nd interlayer insulation film. By heat-treating in this condition, since the hydrogen added in the 1st and 2nd interlayer insulation film is spread in a lower layer side while improving the membranous quality of the passivation film 158, a barrier layer can be hydrogenated effectively.

[0108] Moreover, after forming the passivation film 158, a hydrogenation process may be performed further. For example, the same effectiveness is acquired, even if it is good to perform heat treatment of 1 - 12 hours at 300-450 degrees C or uses the plasma hydrogenating method in the ambient atmosphere containing 3 - 100% of hydrogen. In addition, opening (not shown) may be formed in the passivation film 158 in the location which forms the contact hole for connecting drain wiring with a pixel electrode after a hydrogenation process.

[0109] Then, the 3rd interlayer insulation film 159 which consists of organic resin is formed in the thickness of about 1 micrometer. As organic resin, polyimide, an acrylic, a polyamide, polyimidoamide, BCB (benz-cyclo-butene), etc. can be used. The point for the membrane formation approach that the advantage of using the organic resin film is simple, the point that parasitic capacitance can be reduced since specific inductive capacity is low, the point of excelling in surface smoothness, etc. are got. In addition, the organic resin film except having mentioned above, an organic system SiO compound, etc. can also be used. Here, using an acrylic, heat baking is carried out and it forms.

[0110] Next, in the field used as a pixel circuit, a screen 160 is formed on the 3rd interlayer insulation film 159. In addition, in this specification, \*\*\*\* called a screen is used for the purpose of interrupting light and an electromagnetic wave. A screen 160 forms in the thickness of 100-300nm the film which becomes by the element chosen from aluminum (aluminum), titanium (Ti), and a tantalum (Ta), or one of elements by the film used as a principal component. In this example, the aluminum film which made 1wt% titanium contain is formed in the thickness of 125nm.

[0111] In addition, if 5-50nm of insulator layers, such as silicon oxide film, is formed on the 3rd interlayer insulation film 159, the adhesion of the screen formed on this can be raised. Moreover, if plasma treatment which used CF<sub>4</sub> gas for the front face of the 3rd interlayer insulation film 159 formed by organic resin is performed, the adhesion of the screen formed on the film by surface treatment can be raised.

[0112] Moreover, it is also possible to form not only a screen but other connection wiring using the aluminum film which made this titanium contain. For example, connection wiring which connects between circuits in a drive circuit can be formed. However, before forming the ingredient which forms a screen or connection wiring in that case, it is necessary to form a contact hole in the 3rd interlayer insulation film beforehand.

[0113] Next, the oxide 161 with a thickness of 20-100nm (preferably 30-50nm) is formed in the front face of a screen 160 by the anode oxidation method or the plasma oxidation method (this example anode oxidation method). In this example, since the film which uses aluminum as a principal component as a screen 160 was used, the aluminum-oxide film (alumina film) is formed as an anodic oxidation object 161.

[0114] On the occasion of this anodizing, a tartaric-acid ethylene glycol solution with alkali ion concentration small first fully is produced. This is the solution which mixed 15% of ammonium tartrate water solution, and ethylene glycol by 2:8, it adds aqueous ammonia to this, and it adjusts it so that pH may be set to 7±0.5. And the platinum electrode used as cathode is prepared into this solution, the substrate with which the screen 160 is formed is dipped in a solution, and the direct current of regularity (several mA - dozens of mA) is passed by making a screen 160 into an anode plate.

[0115] Although the electrical potential difference between the cathode in a solution and an anode plate

changes with time amount according to growth of an anodic oxidation object, an electrical potential difference is raised at the pressure-up rate of 100 V/min with constant current, and anodizing is terminated in the place which amounted to attainment electrical-potential-difference 45V. Thus, the anodic oxidation object 161 with a thickness of about 50nm can be formed in the front face of a screen 160. Moreover, as a result, the thickness of a screen 160 is set to 90nm. In addition, it does not pass over the numeric value concerning the anode oxidation method shown here to an example, but, naturally an optimum value may change with the magnitude of the component to produce etc.

[0116] Moreover, although considered as the configuration which prepares an insulator layer only in a screen front face using an anode oxidation method here, an insulator layer may be formed by gaseous-phase methods, such as a plasma-CVD method, a heat CVD method, or a spatter. It is desirable that thickness sets to 20–100nm (preferably 30–50nm) also in that case. Moreover, the silicon oxide film, a silicon nitride film, the nitriding silicon oxide film, the DLC (Diamond like carbon) film, the tantalum oxide film, or the organic resin film may be used. Furthermore, the cascade screen which combined these may be used.

[0117] Next, the contact hole which reaches the drain wiring 157 is formed in the 3rd interlayer insulation film 159 and the passivation film 158, and the pixel electrode 162 is formed. In addition, the pixel electrode 163 is a pixel electrode of adjoining another pixel. A metal membrane should just be used for the pixel electrodes 162 and 163 when making it into the liquid crystal display of a reflective mold using the transparence electric conduction film, in making it into a transparency mold liquid crystal display. Here, in order to consider as the liquid crystal display of a transparency mold, the indium oxide tin (ITO) film is formed in the thickness of 110nm by the spatter.

[0118] Moreover, at this time, the pixel electrode 162 and a screen 160 lap through the anodization object 161, and form retention volume (capacitance storage) 164. In addition, it is desirable in this case floating (condition isolated electrically), fixed potential, and to set a screen 160 as common potential (middle potential of the picture signal sent as data) preferably.

[0119] In this way, on the same substrate, the active-matrix substrate with a drive circuit and a pixel circuit was completed. In addition, in drawing 5, the p channel mold TFT301 and the n channel mold 302 and TFT 303 are formed in a drive circuit, and the pixel TFT304 which becomes with the n channel mold TFT is formed in a pixel circuit.

[0120] The plan corresponding to the sectional view of drawing 5 was shown in drawing 8 (B), and the common sign was used. Moreover, the plan shown by drawing 6 (B) is drawing having shown a part of drawing 8 (A), and used the common sign.

[0121] The channel formation field 201, the source field 202, and the drain field 203 are formed in the p channel mold TFT301 of a drive circuit in p mold impurity range (a), respectively. However, Lynn is strictly included by the concentration of  $1 \times 10^{16} - 5 \times 10^{18}$  atoms/cm<sup>3</sup> to source 202 field and the drain field 203.

[0122] Moreover, the field which lapped with the n channel mold TFT302 with gate wiring through gate dielectric film between the channel formation field 204, the source field 205, the drain field 206, and a channel formation field and a drain field (in this specification, such a field is called Lov field.) In addition, ov was attached in the sense of overlap. 207 is formed. At this time, the Lov field 207 is formed so that it may all lap with gate wiring by the concentration of  $2 \times 10^{16} - 5 \times 10^{19}$  atoms/cm<sup>3</sup>, including Lynn.

[0123] Moreover, as the channel formation field 208, the source field 209, the drain field 210, and a channel formation field are inserted into the n channel mold TFT303, the LDD fields 211 and 212 are formed in it. That is, a LDD field is formed between a source field and a channel formation field and between a drain field and a channel formation field.

[0124] In addition, the field which does not lap with the field (Lov field) which lapped with gate wiring through gate dielectric film, and gate wiring since it has been arranged so that a part of LDD fields 211 and 212 may lap with gate wiring with this structure (in this specification, such a field is called Loff field.) In addition, off was attached in the sense of offset. It realizes.

[0125] Moreover, what is necessary is just to set typically the 0.3–3.0 micrometers (width of face) of the die length of the Lov field 207 of the n channel mold TFT302 to 0.5–1.5 micrometers to 3–7 micrometers of channel length. Moreover, the die length (width of face) of the Lov field of the n channel mold TFT303 should just set typically the 0.3–3.0 micrometers (width of face) of the 1.0–3.5 micrometers of the die length of 0, 5–1.5 micrometers, and a Loff field to 1.5–2.0 micrometers. Moreover, what is necessary is just to set typically to 2.0–2.5 micrometers the 0.5–3.5 micrometers (width of face) of the die length of the Loff fields 217–220 established in a pixel TFT304.

[0126] Moreover, although gate wiring was made into double-gate structure in this example, each circuit reliability may be raised as multi-gate structure of triple gate structure. Moreover, it is good also as single gate structure.

[0127] Moreover, at this example, occupancy area of retention volume required in order that specific inductive capacity may form a required capacity by having used 7–9, and the high alumina film as a dielectric of retention volume can be lessened. Furthermore, the numerical aperture of the image display section of an active matrix liquid crystal display can be raised by using as one electrode of retention volume the screen formed on Pixel TFT like this example.

[0128] In addition, this invention does not need to be limited to the structure of the retention volume shown in this example. For example, the retention volume of the structure indicated by the Japanese-Patent-Application-No. No. 316567 [ nine to ] application by these people, Japanese-Patent-Application-No. No. 273444 [ nine to ] application, or Japanese-Patent-Application-No. No. 254097 [ ten to ] application can also be used.

[0129] Moreover, since the structure of the invention in this application has the description in the configuration which prepares the 2nd interlayer insulation film in the field with which gate wiring and the upper wiring lapped, about the other configuration, an operation person should just determine it suitably.

[0130] The process which produces an active matrix liquid crystal display is explained from a active-matrix substrate here. As shown in drawing 9 , the orientation film 501 is formed to the substrate of the condition of drawing 5 . In this example, the polyimide film is used as orientation film. Moreover, the transparence electric conduction film 503 and the orientation film 504 are formed in the opposite substrate 502. In addition, a color filter and a screen may be formed in an opposite substrate if needed.

[0131] Next, after forming the orientation film, it adjusts so that orientation may be carried out with the fixed pre tilt angle which performs rubbing processing and has a liquid crystal molecule. And a pixel circuit, and the active-matrix substrate and opposite substrate with which the drive circuit was formed are stuck and set through a sealant 507, a spacer 506, etc. according to a well-known cel \*\*\*\* process. Then, liquid crystal 505 is poured in among both substrates, and it closes completely with encapsulant (not shown). What is necessary is just to use a well-known liquid crystal ingredient for liquid crystal. Thus, the active matrix liquid crystal display shown in drawing 9 is completed.

[0132] Next, the configuration of this active matrix liquid crystal display is explained using the perspective view of drawing 10 . In addition, since drawing 10 matches with cross-section structural drawing of drawing 1 – drawing 5 , the common sign is used for it. A active-matrix substrate consists of a pixel circuit 801 formed on the quartz substrate 101, a gate line (scanning line) side drive circuit 802, and a source line (signal line) side drive circuit 803. The pixel TFT304 of a pixel circuit is the n channel mold TFT, and the drive circuit prepared on the outskirts is constituted on the basis of the CMOS circuit. The gate line side drive circuit 802 and the source line side drive circuit 803 are connected to the pixel circuit 801 with the gate wiring 128 and source wiring 154, respectively. Moreover, the connection wiring 806 and 807 from the external I/O terminal 805 to which FPC804 was connected to the input/output terminal of a drive circuit is formed.

[0133] Next, an example of the circuitry of the active matrix liquid crystal display shown in drawing 10 is shown in drawing 11 . this example -- an active matrix liquid crystal -- a display -- a picture signal -- a drive -- a circuit -- 901 -- the gate -- a line -- a side -- a drive -- a circuit -- (-- A --) -- 907 -- the gate -- a line -- a side -- a drive -- a circuit -- (-- B --) -- 911 -- precharge -- a circuit -- 912

-- a pixel -- a circuit -- 906 -- having -- \*\*\*\*. In addition, the source line side drive circuit 901 and the gate line side drive circuit 907 are included in this specification in a drive circuit.

[0134] The source line side drive circuit 901 is equipped with the shift register circuit 902, the level-shifter circuit 903, the buffer circuit 904, and the sampling circuit 905. Moreover, the gate line side drive circuit (A) 907 is equipped with the shift register circuit 908, the level-shifter circuit 909, and the buffer circuit 910. The gate line side drive circuit (B) 911 is also the same configuration.

[0135] Thus, this invention can realize the semiconductor device which includes the drive circuit for controlling a pixel circuit and this pixel circuit on the same substrate at least, for example, the semiconductor device which possesses a digital disposal circuit, a drive circuit, and a pixel circuit on the same substrate.

[0136] Moreover, if the process to drawing 2 (A) of this example is performed, the crystalline substance silicon film of the unique crystal structure which has a continuity in a crystal lattice will be formed. Hereafter, these people explain an outline about the description of the crystal structure investigated experimentally. In addition, this description is in agreement with the description of the semi-conductor layer which forms the barrier layer of TFT completed by this example.

[0137] The above-mentioned crystalline substance silicon film has two or more needlelike or crystal structures which rod-like crystals (it is hereafter written as a cylindrical crystal) gathered, and were located in a line, if it sees microscopically. This can be easily checked by observation by TEM (transmission electron microscopy).

[0138] Moreover, if electron diffraction and X ray (X-ray) diffraction are used, it can check that the front face (part which forms a channel) of the crystalline substance silicon film has {110} sides as a main orientation side although the gap of some is included in the crystallographic axis. At this time, if it analyzes by electron diffraction, it can check that the diffraction mottle corresponding to {110} sides appears finely. Moreover, each spot can also check having distribution on a concentric circle.

[0139] Moreover, if the grain boundary which each cylindrical crystal touches and forms is observed by HR-TEM (high-resolution transmission electron microscopy), it can check that a continuity is in a crystal lattice in the grain boundary. This can be easily checked from the plaid observed being continuously connected in the grain boundary.

[0140] In addition, the continuity of the crystal lattice in the grain boundary originates in the grain boundary being a grain boundary called a "plane grain boundary." The definition of the plane grain boundary in this specification, "it is Characterization of High-Efficiency Cast-Si Solar Cell Wafers by MBIC Measurement.; it is "Planar boundary" indicated by Ryuichi Shimokawa and Yutaka Hayashi, Japanese Journal of Applied Physics vol.27, No.5, pp.751-758, and 1988."

[0141] According to the above-mentioned paper, a twin crystal grain boundary, a special stacking fault, a special twist grain boundary, etc. are included in a plane grain boundary. This plane grain boundary has the description of being inactive electrically. That is, though it is the grain boundary, since it does not function as a trap which checks migration of a carrier, it can be considered that it does not exist substantially.

[0142] When especially crystallographics axis (shaft perpendicular to the crystal face) are <110> shafts, a {211} twin-crystal grain boundary is also called the coincidence boundary of sigma 3. sigma value is a parameter used as the guide in which extent of the adjustment of a coincidence boundary is shown, and it is known that it is a grain boundary with sufficient adjustment, so that sigma value is small.

[0143] If TEM is used and the crystalline substance silicon film of this example is observed in a detail, most grain boundaries (90% or more, typically 95% or more) are actually known by the coincidence boundary of sigma 3, and that it is a {211} twin-crystal grain boundary typically.

[0144] In the grain boundary formed between two crystal grain, if the angle which the plaid corresponding to {111} sides makes is set to theta when field bearing of both crystals is {110}, becoming the coincidence boundary of sigma 3 at the time of theta= 70.5 degrees is known. The crystalline substance silicon film of this example is continuing at the include angle each plaid of whose of the

crystal grain which adjoins in the grain boundary is just about 70.5 degrees, and it can be said from that that this grain boundary is a coincidence boundary of sigma 3.

[0145] In addition, although it becomes the coincidence boundary of sigma 9 at the time of  $\theta = 38.9^\circ$ , such other coincidence boundaries exist. Anyway, there is no change in being inactive.

[0146] Such a coincidence boundary is formed only between the crystal grain of the same side bearing. That is, it goes across the crystalline substance silicon film of this example broadly just because field bearing has roughly {110} gathered, and it can form such a coincidence boundary.

[0147] It is shown that two different crystal grain in the grain boundary has joined such the crystal structure (correctly structure of the grain boundary) with very sufficient adjustment. That is, in the grain boundary, a crystal lattice stands in a row continuously, and has composition which cannot make the trap level resulting from a crystal defect etc. very easily. Therefore, the grain boundary does not exist substantially and the semi-conductor thin film which has such the crystal structure can be regarded.

[0148] Furthermore, it is checked by TEM observation that the defect which exists in crystal grain according to the heat treatment process (it is equivalent to the thermal oxidation process in an example 1) in the high temperature of 800–1150 degrees C is almost extinguished. This is clear also from the number of defects being sharply reduced before and behind this heat treatment process.

[0149] By electron-spin-resonance analysis (Electron Spin Resonance:ESR), the difference of this number of defects turns into a difference of spin density, and appears. In the present condition, the spin density of the crystalline substance silicon film of this example is . It has become clear that it is three or less (preferably three or less  $3 \times 10^{17}$  spins/cm)  $5 \times 10^{17}$  spins/cm. However, since this measured value is close to the limit of detection of an existing measuring device, it is expected that actual spin density is still lower.

[0150] Since it can consider that the crystalline substance silicon film of this example has extremely few defects in crystal grain, and the grain boundary does not exist substantially from the above thing, you may consider the single-crystal-silicon film or the substantial single-crystal-silicon film.

[0151] Although the [example 2] example 1 showed the example using the catalyst element which promotes crystallization as the formation approach of the semi-conductor film including the crystal structure, this example shows the case where the semi-conductor film which includes the crystal structure by heat crystallization or laser crystallization, without using such a catalyst element is formed.

[0152] What is necessary is just to perform heat treatment of 15 – 24 hours at the temperature of 600–650 degrees C, after forming the semi-conductor film in which amorphous structure is shown, when based on heat crystallization. That is, by heat-treating at the temperature exceeding 600 degrees C, a natural nucleus occurs and crystallization advances.

[0153] Moreover, what is necessary is just to perform laser annealing, after forming the semi-conductor film including amorphous structure, when based on laser crystallization. The semi-conductor film which includes the crystal structure by this for a short time can be formed. Of course, lamp annealing may be used instead of laser annealing. Moreover, it is possible as a substrate to use the glass substrate and plastic plate other than a quartz substrate.

[0154] Moreover, it is also effective to form continuously without carrying out atmospheric-air release of the substrate film and the amorphous silicon film on a substrate. By doing so, contamination on the front face of a substrate can become able [ not affect the amorphous silicon film ] to make it, and the property variation of TFT produced can be reduced.

[0155] Thus, the semi-conductor film including the crystal structure used for this invention can be formed using every well-known means.

[0156] [Example 3] this example is an example which forms a contact hole by different approach in an example 1. In this example, after forming a contact hole after activation and carrying out the laminating of the 2nd interlayer insulation film, a contact hole is formed by performing patterning again. Since it is the same as that of an example 1 almost, a fundamental configuration is explained only paying attention to difference.

[0157] First, after carrying out the laminating of the 1st interlayer insulation film 149 according to an example 1, activation is performed and the condition of drawing 3 (D) is acquired. In addition, drawing corresponding to drawing 3 (D) is shown in drawing 12 (A).

[0158] Subsequently, the contact hole which arrives at a source field or a drain field is formed. In addition, the same mask -- using -- gate dielectric film and the 1st interlayer insulation film -- coincidence -- or sequential etching is carried out. (Drawing 12 (B)) If etching at this time is performed by dry etching, formation of a detailed contact hole (0.5 micrometers - 1.5 micrometers) is possible.

[0159] Subsequently, the laminating of the 2nd interlayer insulation film 1201 is carried out, and the condition of drawing 12 (C) is acquired. The 2nd interlayer insulation film used the insulator layer which has the same presentation as an example 1. Subsequently, after performing patterning of the 2nd interlayer insulation film 1201, formation of source wiring and drain wiring is performed like an example 1, and the condition of drawing 12 (D) equivalent to drawing 4 (C) of an example 1 is acquired. In addition, in patterning of the 2nd interlayer insulation film, since a taper configuration will be acquired if wet etching is used, the coverage of the source wiring formed on it and drain wiring becomes good. Since it is the same as that of an example 1, subsequent processes are skipped.

[0160] Thus, in this example, by etching separately the 1st interlayer insulation film with which membraneous qualities differ, and the 2nd interlayer insulation film, there is little over etching and it can form the contact hole where a configuration is good. By carrying out like this, since positive contact connection was made, the yield was able to be raised.

[0161] In addition, the configuration of this example can be combined with the configuration and freedom of an example 1 or an example 2.

[0162] [Example 4] this example is an example which performed patterning of gate dielectric film after patterning of a gate electrode, and enabled contact hole formation easily. Since it is the same as that of an example 1 almost, a fundamental configuration is explained only paying attention to difference.

[0163] First, the condition of drawing 2 (E) is acquired according to an example 1. In addition, drawing corresponding to drawing 2 (E) is shown in drawing 13 (A).

[0164] Subsequently, it etched by having used the gate electrode as the mask, and gate dielectric film 1301 was formed. (Drawing 13 (B)) p mold impurity range (a) which doped p mold impurity element after that using the resist mask 1304, and was added by the same concentration as an example 1 -- 1302 and 1303 are formed. However, where it is exposed of a barrier layer, in order to dope, doping conditions must be changed in an example 1. (Drawing 13 (C))

[0165] Next, the resist mask 1304 is removed and the resist masks 1305-1308 are formed. And n mold impurity element is doped using the resist masks 1305-1308, and n mold (impurity range a) 1309-1315 added by the same concentration as an example 1 are formed. However, an operation person has to change doping conditions in an example 1 in order to dope, where it is exposed of a barrier layer.

(Drawing 13 (D))

[0166] Next, the resist masks 1305-1308 are removed, n mold impurity element is doped by using a gate electrode as a mask, and n mold (impurity range c) 1401-1404 added by the same concentration as an example 1 are formed. However, an operation person has to change doping conditions in an example 1 in order to dope, where it is exposed of a barrier layer. (Drawing 14 (A))

[0167] Subsequently, the activation process was performed after forming the 1st interlayer insulation film 1405 like an example 1. (Drawing 14 (B)) However, in this example, since there is a part with which the barrier layer is covered only with the 1st interlayer insulation film, the minimum thickness which protects a barrier layer is needed for the 1st interlayer insulation film. As thickness of the 1st interlayer insulation film here, what is necessary is just 50nm - 200nm typically.

[0168] Subsequently, the 2nd interlayer insulation film 1406 is formed like an example 1. (Drawing 14 (C))

[0169] Subsequently, after forming the contact hole which performs coincidence or sequential etching and arrives at a source field or a drain field in the 1st interlayer insulation film and the 2nd interlayer



insulation film like an example 1, source wiring and drain wiring are formed. ( Drawing 14 (D) ) Since it is the same as that of an example 1, subsequent processes are skipped.

[0170] Moreover, what is necessary is just to give the removal process of gate dielectric film in this example, during [ from immediately after gate wiring formation ] before the 2nd interlayer insulation film formation, although the example which etched gate dielectric film immediately after gate wiring formation was shown.

[0171] By carrying out like this, since the number of laminatings of the insulator layer which carries out opening was reduced, the yield was able to be raised. However, it is required to take the etching rate of the 1st interlayer insulation film and the 2nd interlayer insulation film into consideration like an example 1.

[0172] In addition, the configuration of this example can combine the configuration of examples 1-3 freely.

[0173] [Example 5] this example explains the case where this invention is applied to the semiconductor device produced on the silicon substrate. Typically, it is applicable to the reflective mold liquid crystal display using a metal membrane with a reflection factor high as a pixel electrode.

[0174] Using a silicon substrate (silicon wafer) as a substrate of an example 1, this example adds n mold or p mold impurity element directly to a silicon substrate, and forms impurity ranges, such as a LDD field, a source field, or a drain field. Neither the formation sequence of each impurity range nor the formation sequence of gate dielectric film is asked in that case.

[0175] In addition, the configuration of this example can be freely combined with any configuration of examples 1-4. However, since it is decided that the semi-conductor layer used as a barrier layer will be a single crystal silicon substrate, it serves as combination other than a crystallization process.

[0176] It is also possible to use, in case [example 6] this invention forms an interlayer insulation film on the conventional MOSFET and TFT is formed on it. That is, it is also possible to realize the semiconductor device of the three-dimensional structure. Moreover, it is also possible to use SOI substrates, such as SIMOX, Smart-Cut (trademark of SOITEC), and ELTRAN (trademark of canon incorporated company), as a substrate.

[0177] In addition, the configuration of this example can be freely combined with any configuration of examples 1-5.

[0178] [Example 7] this example explains the case where it applies to the semiconductor device which really formed the memory section and a drive circuit on the same substrate.

[0179] In addition, the memory section is formed by nonvolatile memory (here EEPROM), and illustrates one memory transistor (it is also called a memory cell transistor) formed in the memory cell in drawing 15 . Two or more memory cells are integrated in fact, and the memory section is formed. Here, it explains using a flash memory with a high degree of integration (flash EEPROM).

[0180] A memory transistor has the common source wiring 1512 and the bit wiring (drain wiring) 1511 which were formed through a barrier layer including the source field 1505, the drain field 1508, the low concentration impurity range (it is also called a LDD field) 1506, and the channel formation field 1507, gate dielectric film 1500, the 1st interlayer insulation film 1501, 2nd interlayer insulation film 1502c, the floating-gate electrode 1509, the 3rd gate dielectric film 11, the control gate electrode 1510, and the 3rd interlayer insulation film 1503, and is formed.

[0181] The source field 1505 is a field for drawing out the carrier (electron) captured by the floating-gate electrode 1509 to the common source wiring 1512, and can also be said to be an elimination field. In addition, although the LDD field 1506 is formed between the channel formation fields 1507 in drawing 15 , it is not necessary to form. Moreover, the drain field 1508 is a field for pouring a carrier into the floating-gate electrode 1509 isolated electrically, and can also be said to be a write-in field. Furthermore, the drain field 1508 functions also as a read-out field for reading the data memorized by the memory transistor to the bit wiring 1511.

[0182] In addition, since it is necessary to use a thin insulator layer (for thickness to be 5-10nm

preferably 3–20nm) for extent to which tunnel current (FAURA Nordheim current) flows as gate dielectric film 1500, it is desirable to use the oxide film (for it to be the oxidation silicon film, if a barrier layer is silicon) oxidized and obtained in the barrier layer. Of course, if even the homogeneity of thickness and discord are good, the 1st gate dielectric film can also be formed by gaseous-phase methods, such as a CVD method and a spatter.

[0183] In this example, the parasitic capacitance produced into a lap part with the control gate electrode 1510, the bit wiring 1511, or the common source wiring 1512 was reduced by 2nd interlayer insulation film 1502c.

[0184] Moreover, a CMOS circuit is shown as an example which forms the drive circuit section. Logical circuits, such as a flip-flop circuit, are formed by making a CMOS circuit into a basic circuit in fact, they are integrated and the drive circuit section is formed. Also in the CMOS circuit, the 2nd interlayer insulation film 1502a and 1502b for reducing the parasitic capacitance of gate wiring and the upper wiring is formed.

[0185] Thus, the invention in this application is applicable to various semiconductor devices.

[0186] In addition, the configuration of this example can be freely combined with any configuration of examples 1–6.

[0187] In [example 8] this example, it is an example using anisotropic etching. Since it is the same as that of an example 1 or an example 3 almost, a fundamental configuration is explained using drawing 16 only paying attention to difference.

[0188] In this example, after etching gate dielectric film by having used the gate electrode as the mask like the example 3 and forming the 1st interlayer insulation film, activation was performed and the same condition as drawing 14 R> 4 (B) was acquired.

[0189] Subsequently, anisotropic etching is performed to the 1st interlayer insulation film, and the triangle-like insulating material 1601 is formed in the both sides of a gate electrode. Under the present circumstances, it is desirable to form beforehand the protective coat (not shown) for protecting gate wiring.

[0190] Subsequently, the 2nd interlayer insulation film 1602 is formed. Then, after forming the contact hole which etches into the 2nd interlayer insulation film and arrives at a source field or a drain field, source wiring and drain wiring are formed. Since it is the same as that of an example 1, subsequent processes are skipped.

[0191] By carrying out like this, since the number of laminatings of the insulator layer which carries out opening can be reduced, contact hole formation is simplified, and the yield was able to be raised.

[0192] Moreover, it is good also as a process which forms the triangle-like insulating material 1601 immediately after gate electrode formation, and forms impurity ranges, such as a LDD field, using it.

[0193] In addition, the configuration of this example can be freely combined with any configuration of examples 1–7.

[0194] [Example 9] this example explains the case where this invention is used for the bottom gate mold TFT. Specifically, the case where it uses for the reverse stagger mold TFT is shown in drawing 17. Except that the physical relationship of gate wiring and a barrier layer differs in the top gate mold TFT of an example 1 in the case of the reverse stagger mold TFT of this invention, it does not differ greatly especially. Therefore, in this example, it explains paying attention to a greatly different point from the structure shown in drawing 5, and since other parts are the same as that of drawing 5, they omit explanation. The 2nd interlayer insulation film 46 and 47 for reducing parasitic capacitance is formed like the example 1. This 2nd interlayer insulation film is formed by the approach shown in the example 1.

[0195] In drawing 17, the p channel mold TFT of a CMOS circuit with which 11 and 12 form a shift register circuit etc., respectively, the n channel mold TFT, the n channel mold TFT with which 13 forms a sampling circuit etc., and 14 are the n channel molds TFT which form a pixel circuit. These are formed on the substrate which prepared the substrate film.

[0196] Moreover, 15 is gate wiring of the n channel mold TFT14, and gate wiring of the p channel mold

TFT11 and 16 can form [ gate wiring of the n channel mold TFT12, and 17 ] gate wiring of the n channel mold TFT13, and 18 using the same ingredient as gate wiring explained in the example 1. Moreover, 19 is gate dielectric film and can use the same ingredient as an example 1 also for this.

[0197] On it, each barrier layer (barrier layer) of TFT 11-14 is formed. In addition, it is desirable to form by performing continuation membrane formation by the spatter or the PCVD method, without touching atmospheric air at the time of production of the semi-conductor film which constitutes gate dielectric film and a barrier layer. The source field 20, the drain field 21, and the channel formation field 22 are formed in the barrier layer of the p channel mold TFT11.

[0198] Moreover, the source field 23, the drain field 24, a LDD field (Lov field 25 in this case), and the channel formation field 26 are formed in the barrier layer of the n channel mold TFT12.

[0199] Moreover, the source field 27, the drain field 28, a LDD field (the Lov fields 29a and 30a and the Loff fields 29b and 30b in this case), and the channel formation field 31 are formed in the barrier layer of the n channel mold TFT13.

[0200] Moreover, the source field 32, the drain field 33, a LDD field (Loff fields 34-37 in this case), the channel formation fields 38 and 39, and the n+ field 40 are formed in the barrier layer of the n channel mold TFT14.

[0201] In addition, the insulator layer shown by 41-45 is formed for the purpose which protects a channel formation field, and the purpose which forms a LDD field.

[0202] It is easy to apply this invention to the bottom gate mold TFT represented by the reverse stagger mold TFT as mentioned above. in addition, what is necessary is just to apply the making process shown in other examples indicated by this detail in the letter to the making process of the well-known reverse stagger mold TFT in producing the reverse stagger mold TFT of this example.

[0203] In addition, the configuration of this example can be freely combined with any configuration of examples 1-8.

[0204] [Example 10] this invention can also be applied to a active-matrix mold EL (electroluminescence) display. The example is shown in drawing 18.

[0205] Drawing 18 is the circuit diagram of a active-matrix mold EL display. 81 expresses the pixel circuit and the direction drive circuit 82 of X and the direction drive circuit 83 of Y are formed around it. Moreover, each pixel of the pixel circuit 81 has TFT84 for a switch, a capacitor 85, TFT86 for current control, and an organic EL device 87, and direction signal-line of X 88a (or 88b) and direction signal-line of Y 89a (or 89b, 89c) are connected to TFT84 for a switch. Moreover, the power-source lines 90a and 90b are connected to TFT86 for current control.

[0206] In the active-matrix mold EL display of this example, TFT used for the direction drive circuit 82 of X, the direction drive circuit 83 of Y, or TFT86 for current control is formed combining the p channel mold TFT301 of 5, and the n channel mold 302 or TFT 303. Moreover, TFT of TFT84 for a switch is formed with the n channel mold TFT304 of drawing 5.

[0207] In addition, which configuration of examples 1-9 may be combined to the active-matrix mold EL display of this example.

[0208] The liquid crystal display produced by [example 11] this invention can use various liquid crystal ingredients. As such an ingredient, the mixture of TN liquid crystal, PDLC (polymer distributed liquid crystal) and FLC (ferroelectric liquid crystal), AFLC (anti-\*\*\*\*\* or FLC, and AFLC is mentioned.

[0209] For example "H. Furue et al.;Charakteristics and Drivng Scheme of Polymer-Stabilized Monostable FLCD Exhibiting Fast Response Time and High Contrast Ratio with Gray-Scale Capability, SID, 1998", "T. Yoshida et al.;A Full-Color Thresholdless Antiferroelectric LCDExhibiting Wide Viewing Angle with Fast Response Time, 841, SID97DIGEST, 1997", Or the ingredient indicated by U.S. Pat. No. 5,594,569 can be used.

[0210] If antiferroelectricity liquid crystal [ having no threshold (non-threshold) ] (it is written as Thresholdless Antiferroelectric LCD:TL-AFLC) is used especially, since the operating voltage of liquid

crystal can be reduced to about  $\sim 2.5V$ , it may end with about 5–8V as supply voltage. That is, it becomes possible to operate a driver line and a pixel matrix circuit with the same supply voltage, and low-power-ization of the whole liquid crystal display can be attained.

[0211] Moreover, non-threshold antiferroelectricity liquid crystal has some which show the electro-optics response characteristic of a V character mold, and the about [ abbreviation  $\sim 2.5V$  ] (about 1 micrometer – 2 micrometers of cel thickness) thing is also found out for the driver voltage.

[0212] Here, the example which shows the property of light transmittance over the applied voltage of the non-threshold antiferroelectricity liquid crystal mixture in which the electro-optics response of a V character mold is shown is shown in drawing 19. The axis of ordinate of the graph shown in drawing 19 is permeability (arbitration unit), and an axis of abscissa is applied voltage. In addition, the transparency shaft of the polarizing plate by the side of the incidence of a liquid crystal panel is set up in the direction of rubbing of a liquid crystal panel almost in parallel with the direction of a normal of the smectic layer of non-threshold antiferroelectricity liquid crystal mixture mostly in agreement. Moreover, the transparency shaft of the polarizing plate by the side of outgoing radiation is mostly set as the right angle (cross Nicol's prism) to the transparency shaft of the polarizing plate by the side of incidence.

[0213] Moreover, a ferroelectric liquid crystal and antiferroelectricity liquid crystal have the advantage that a speed of response is quick compared with TN liquid crystal. Since the crystalline substance TFT which is used in the above-mentioned example can realize TFT with a very quick working speed, it can realize a liquid crystal display with the quick image speed of response which fully employed the speed of the speed of response of a ferroelectric liquid crystal or antiferroelectricity liquid crystal efficiently.

[0214] In addition, it cannot be overemphasized that it is effective to use the liquid crystal display of this example as a display display of electronic equipment, such as a personal computer.

[0215] Moreover, the configuration of this example can be freely combined with any configuration of examples 1–9.

[0216] [Example 12] this example explains the example which produced EL (electroluminescence) display using this invention. In addition, drawing 20 (A) is the plan of EL display of this invention, and drawing 20 (B) is the sectional view.

[0217] In drawing 20 (A), for 4001, as for the pixel section and 4003, a substrate and 4002 are [ a source side drive circuit and 4004 ] gate side drive circuits, and each drive circuit results in FPC (flexible print circuit) 4006 through wiring 4005, and is connected to an external instrument.

[0218] At this time, as the pixel section 4002, the source side drive circuit 4003, and the gate side drive circuit 4004 are surrounded, the 1st sealant 4101, the covering material 4102, a filler 4103, and the 2nd sealant 4104 are formed.

[0219] Moreover, drawing 20 (B) is equivalent to the sectional view which cut drawing 20 (A) by A–A', and TFT4202 for current control (TFT which controls the current to an EL element) contained in the drive TFT (however, n channel mold TFT and p channel mold TFT are illustrated here.) 4201 and the pixel section 4002 which are contained in the source side drive circuit 4003 is formed on the substrate 4001.

[0220] In this example, TFT of the same structure as the p channel mold TFT of drawing 5 R> 5 or the n channel mold TFT is used for drive TFT4201, and TFT of the same structure as the p channel mold TFT of drawing 5 is used for TFT4202 for current control. Moreover, the retention volume (not shown) connected to the gate of TFT4202 for current control is prepared in the pixel section 4002.

[0221] On drive TFT4201 and a pixel TFT4202, the interlayer insulation film (flattening film) 4301 which becomes with a resin ingredient is formed, and the pixel electrode (anode plate) 4302 electrically connected with the drain of a pixel TFT4202 is formed on it. As a pixel electrode 4302, the large transparence electric conduction film of a work function is used. As transparence electric conduction film, the compound of indium oxide and the tin oxide, the compound of indium oxide and a zinc oxide, a zinc oxide, the tin oxide, or indium oxide can be used. Moreover, what added the gallium may be used for said transparence electric conduction film.

[0222] And an insulator layer 4303 is formed on the pixel electrode 4302, and, as for the insulator layer

4303, opening is formed on the pixel electrode 4302. In this opening, the EL (electroluminescence) layer 4304 is formed on the pixel electrode 4302. The EL layer 4304 can use a well-known organic electroluminescence ingredient or inorganic EL ingredient. Moreover, whichever may be used although there are a low-molecular system (monomer system) ingredient and a macromolecule system (polymer system) ingredient as organic electroluminescence ingredient.

[0223] The formation approach of the EL layer 4304 should just use a well-known vacuum evaporation technique or the applying method technique. Moreover, what is necessary is just to make structure of EL layer into a laminated structure or monolayer structure, combining freely a hole-injection layer, an electron hole transportation layer, a luminous layer, an electronic transportation layer, or an electron injection layer.

[0224] On the EL layer 4304, the cathode 4305 which consists of electric conduction film (electric conduction film which included alkali metals or an alkaline-earth-metal element in aluminum, copper, or silver typically) containing the element belonging to one group of a periodic table or two groups is formed. Moreover, as for the moisture which exists in the interface of cathode 4305 and the EL layer 4304, or oxygen, eliminating as much as possible is desirable. Therefore, the device of carrying out continuation membrane formation of both in a vacuum, or forming the EL layer 4304 in nitrogen or a rare-gas ambient atmosphere, and forming cathode 4305, making neither oxygen nor moisture touched is required. At this example, the above membrane formation is enabled by using the membrane formation equipment of a multi chamber method (cluster tool method).

[0225] And cathode 4305 is electrically connected to wiring 4005 in the field shown by 4306. Wiring 4005 is wiring for giving a predetermined electrical potential difference to cathode 4305, and is electrically connected to FPC4006 through the anisotropic conductive film 4307.

[0226] The EL element which consists of the pixel electrode (anode plate) 4302, an EL layer 4304, and cathode 4305 as mentioned above is formed. This EL element is surrounded by the covering material 4102 stuck on the substrate 4001 by the 1st sealant 4101 and the 1st sealant 4101, and is enclosed by the filler 4103.

[0227] As covering material 4102, glass material, metal material (typically stainless steel material), ceramic material, and plastics material (plastic film is also included) can be used. As plastics material, an FRP (Fiberglass-Reinforced Plastics) plate, a PVF (polyvinyl fluoride) film, a Mylar film, polyester film, or an acrylic resin film can be used. Moreover, the sheet of the structure which sandwiched aluminium foil with the PVF film or the Mylar film can also be used.

[0228] However, covering material must be transparent when the direction of a light emission from an EL element goes to a covering material side. In that case, transparence matter like a glass plate, a plastic sheet, polyester film, or an acrylic film is used.

[0229] Moreover, as a filler 4103, ultraviolet-rays hardening resin or heat-curing resin can be used, and PVC (polyvinyl chloride), an acrylic, polyimide, an epoxy resin, silicone resin, and PVB (polyvinyl BUCHIRARU) or EVA (ethylene vinyl acetate) can be used. If the matter which can adsorb the hygroscopic matter (preferably barium oxide) or oxygen is prepared in the interior of this filler 4103, degradation of an EL element can be controlled.

[0230] Moreover, a spacer may be made to contain in a filler 4103. At this time, if a spacer is formed with the barium oxide, it is possible to give hygroscopicity to the spacer itself. Moreover, when a spacer is formed, it is also effective to prepare the resin film on cathode 4305 as a buffer layer which eases the pressure from a spacer.

[0231] Moreover, wiring 4005 is electrically connected to FPC4006 through the anisotropic conductive film 4307. Wiring 4005 tells the signal sent to the pixel section 4002, the source side drive circuit 4003, and the gate side drive circuit 4004 to FPC4006, and is electrically connected with an external instrument by FPC4006.

[0232] Moreover, in this example, the 2nd sealant 4104 is formed so that the disclosure section of the 1st sealant 4101 and a part of FPC4006 may be covered, and it has structure which intercepts an EL

element from the open air thoroughly. In this way, it becomes EL display which has the cross-section structure of drawing 20 (B).

[0233] Top-face structure is shown in drawing 22 (A), and the still more detailed cross-section structure which is the pixel section is shown for a circuit diagram in drawing 2121 here at drawing 22 (B). What is necessary is just to refer to mutually in drawing 21, drawing 22 (A), and drawing 22 (B), since a common sign is used.

[0234] In drawing 21, TFT4402 for switching prepared on the substrate 4401 is formed using the n channel mold TFT of drawing 5. Therefore, just refer to the explanation of the n channel mold TFT for explanation of structure. Moreover, wiring shown by 4403 is gate wiring which connects electrically the gate electrodes 4404a and 4404b of TFT4402 for switching.

[0235] In addition, although considered as the double-gate structure where two channel formation fields are formed, in this example, you may be the single gate structure or the triple gate structure formed three where one channel formation field is formed.

[0236] Moreover, the drain wiring 4405 of TFT4402 for switching is electrically connected to the gate electrode 4407 of TFT4406 for current control. In addition, TFT4406 for current control is formed using the p channel mold TFT301 of drawing 5. Therefore, just refer to the explanation of the p channel mold TFT301 for explanation of structure. In addition, although considered as single gate structure in this example, you may be double-gate structure or triple gate structure.

[0237] The 1st passivation film 4408 is formed on TFT4402 for switching, and TFT4406 for current control, and the flattening film 4409 which consists of resin is formed on it. It is very important to carry out flattening of the level difference by TFT using the flattening film 4409. Since EL layer formed behind is very thin, poor luminescence may be caused when a level difference exists. Therefore, before forming a pixel electrode so that EL layer can be formed as much as possible in a flat side, it is desirable to carry out flattening.

[0238] Moreover, 4410 is a pixel electrode (anode plate of an EL element) which consists of transference electric conduction film, and is electrically connected to the drain wiring 4411 of TFT4406 for current control. As transference electric conduction film, the compound of indium oxide and the tin oxide, the compound of indium oxide and a zinc oxide, a zinc oxide, the tin oxide, or indium oxide can be used. Moreover, what added the gallium may be used for said transference electric conduction film.

[0239] The EL layer 4411 is formed on the pixel electrode 4410. In addition, although only 1 pixel is illustrated in drawing 21, EL layer corresponding to each color of R (red), G (green), and B (blue) is made and divided in this example. Moreover, in this example, the low-molecular system organic electroluminescence ingredient is formed with vacuum deposition. It is considering as the laminated structure which prepared the copper-phthalocyanine (CuPc) film of 20nm thickness as a hole-injection layer, and specifically prepared the tris-8-quinolinolato aluminum complex (Alq3) film of 70nm thickness as a luminous layer on it. The luminescent color is controllable by adding fluorochromes, such as Quinacridone, perylene, or DCM1, to Alq3.

[0240] However, the above example is an example of the organic electroluminescence ingredient which can be used as an EL layer, and there is no need of limiting to this. What is necessary is just to form EL layer (layer for moving luminescence and the carrier for it), combining freely a luminous layer, a charge transportation layer, or a charge impregnation layer. For example, although this example showed the example which uses a low-molecular system organic electroluminescence ingredient as an EL layer, a macromolecule system organic electroluminescence ingredient may be used. Moreover, it is also possible to use inorganic materials, such as silicon carbide, as a charge transportation layer or a charge impregnation layer. These organic electroluminescence ingredients and inorganic materials can use a well-known ingredient.

[0241] Next, on the EL layer 4411, the cathode 4412 which consists of electric conduction film is formed. In the case of this example, the alloy film of aluminum and a lithium is used as electric conduction film. Of course, the well-known MgAg film (alloy film of magnesium and silver) may be used.



What is necessary is just to use the electric conduction film which added the electric conduction film which consists of an element belonging to one group of a periodic table, or two groups as a cathode material, or those elements.

[0242] When formed to this cathode 4412, EL element 4413 is completed. In addition, EL element 4413 here points out the capacitor formed in the pixel electrode (anode plate) 4410, the EL layer 4411, and cathode 4412.

[0243] Next, the top-face structure of the pixel in this example is explained using drawing 22 (A). The source of TFT4402 for switching is connected to source wiring 4415, and a drain is connected to the drain wiring 4405. Moreover, the drain wiring 4405 is electrically connected to the gate electrode 4407 of TFT4406 for current control. Moreover, the source of TFT4406 for current control is electrically connected to the current supply source line 4416, and a drain is electrically connected to the drain wiring 4417. Moreover, the drain wiring 4417 is electrically connected to the pixel electrode (anode plate) 4418 shown by the dotted line.

[0244] Retention volume is formed in the field shown by 4419 at this time. Retention volume 4419 is formed between the insulator layer (not shown) of the same layer as the semi-conductor film 4420 and gate dielectric film which were electrically connected with the current supply source line 4416, and the gate electrode 4407. Moreover, the capacity formed by the same layer (not shown) as the gate electrode 4407 and the 1st interlayer insulation film and the current supply source line 4416 can also be used as retention volume.

[0245] [Example 13] This example explains EL display with pixel structure which is different in an example 12. Drawing 23 is used for explanation. In addition, what is necessary is just to refer to explanation of an example 12 about the part to which the same sign as drawing 22 is given.

[0246] In drawing 23, TFT of the same structure as the n channel mold TFT of drawing 5 is used as TFT4501 for current control. Of course, the gate electrode 4502 of TFT4501 for current control is electrically connected to the drain wiring 4405 of TFT4402 for switching. Moreover, the drain wiring 4503 of TFT4501 for current control is electrically connected to the pixel electrode 4504.

[0247] In this example, the pixel electrode 4504 which consists of electric conduction film functions as cathode of an EL element. What is necessary is just to specifically use the electric conduction film which added the electric conduction film which consists of an element belonging to one group of a periodic table, or two groups, or those elements, although the alloy film of aluminum and a lithium is used.

[0248] The EL layer 4505 is formed on the pixel electrode 4504. In addition, although only 1 pixel is illustrated in drawing 23, EL layer corresponding to G (green) is formed by vacuum deposition and the applying method (preferably spin coating method) in this example. It is considering as the laminated structure which prepared the lithium fluoride (LiF) film of 20nm thickness as an electron injection layer, and specifically prepared the PPV (poly para-phenylene vinylene) film of 70nm thickness as a luminous layer on it.

[0249] Next, on the EL layer 4505, the anode plate 4506 which consists of transparence electric conduction film is formed. In the case of this example, the electric conduction film which consists of a compound of indium oxide and the tin oxide or a compound of indium oxide and a zinc oxide as transparence electric conduction film is used.

[0250] When formed to this anode plate 4506, EL element 4507 is completed. In addition, EL element 4507 here points out the capacitor formed in the pixel electrode (cathode) 4504, the EL layer 4505, and the anode plate 4506.

[0251] When the electrical potential difference applied to an EL element is a high voltage more than of 10V, degradation by the hot carrier effect actualizes in TFT4501 for current control. In such a case, it is effective to use the n channel mold TFT of the structure of this invention as TFT4501 for current control.

[0252] Moreover, TFT4501 for current control of this example forms the parasitic capacitance called gate capacitance between the gate electrode 4502 and the LDD field 4509. It is also possible to give a



function equivalent to the retention volume 4418 shown in drawing 22 (A) and (B) by adjusting this gate capacitance. Since it is smaller than the case where the capacitance of retention volume makes it operate by the analog drive method and ends when operating EL indicating equipment by the digital drive method especially, gate capacitance can be substituted for retention volume.

[0253] In addition, since degradation by the above-mentioned hot carrier effect stops posing a problem so much when the electrical potential difference applied to an EL element becomes less than [ 5V ] preferably below 10V, the n channel mold TFT of the structure which omitted the LDD field 4509 in drawing 23 may be used.

[0254] [Example 14] this example shows the example of the pixel structure where it can use for the pixel section of EL display shown in the example 12 or the example 13 to drawing 24 (A) - (C). in addition, this example -- setting -- 4601 -- in gate wiring of TFT4602 for switching, and 4604, a capacitor, and 4606 and 4608 make it as a current supply source line, and 4607 makes TFT for current control, and 4605 an EL element for the source wiring of TFT4602 for switching, and 4603.

[0255] Drawing 24 (A) is an example at the time of making the current supply source line 4606 common between two pixels. That is, the description is formed so that two pixels may serve as axial symmetry focusing on the current supply source line 4606. In this case, since the number of a current supply source line can be reduced, the pixel section can be further made highly minute.

[0256] Moreover, drawing 24 (B) is an example at the time of forming the current supply source line 4608 in parallel with the gate wiring 4603. In addition, although it has structure established so that the current supply source line 4608 and the gate wiring 4603 might not lap in drawing 24 (B), if it is wiring formed in the layer from which both differ, it can also prepare so that it may lap through an insulator layer. In this case, since the current supply source line 4608 and the gate wiring 4603 can be made to share monopoly area, the pixel section can be further made highly minute.

[0257] Moreover, drawing 24 (C) forms the current supply source line 4608 in parallel with the gate wiring 4603 like the structure of drawing 24 (B), and the description is that it forms two pixels further so that it may become axial symmetry focusing on the current supply source line 4608. Moreover, it is also effective to form the current supply source line 4608 so that it may lap with either of the gate wiring 4603. In this case, since the number of a current supply source line can be reduced, the pixel section can be further made highly minute.

[0258] [Example 15] This example shows the example of the pixel structure of EL display where this invention was carried out to drawing 25 (A) and (B). in addition, this example -- setting -- 4701 -- the source wiring of TFT4702 for switching, and 4703 -- gate wiring of TFT4702 for switching, and 4704 -- in a capacitor (omitting is also possible) and 4706, TFT for power control and 4708 make it as gate wiring for power control, and 4709 makes a current supply source line and 4707 an EL element for TFT for current control, and 4705. About actuation of TFT4707 for power control, it is good to refer to Japanese Patent Application No. No. 341272 [ 11 to ].

[0259] Moreover, although TFT4707 for power control is formed between TFT4704 for current control, and EL element 4708 in this example, it is good also as structure where TFT4704 for current control was formed between TFT4707 for power control, and EL element 4708. Moreover, as for TFT4707 for power control, it is desirable to consider as the same structure as TFT4704 for current control, or to carry out a serial by the same barrier layer, and to form.

[0260] Moreover, drawing 25 (A) is an example at the time of making the current supply source line 4706 common between two pixels. That is, the description is formed so that two pixels may serve as axial symmetry focusing on the current supply source line 4706. In this case, since the number of a current supply source line can be reduced, the pixel section can be further made highly minute.

[0261] Moreover, drawing 25 (B) is an example at the time of forming the current supply source line 4710 in parallel with the gate wiring 4703, and forming the gate wiring 4711 for power control in parallel with source wiring 4701. In addition, although it has structure established so that the current supply source line 4710 and the gate wiring 4703 might not lap in drawing 25 (B), if it is wiring formed in the

layer from which both differ, it can also prepare so that it may lap through an insulator layer. In this case, since the current supply source line 4710 and the gate wiring 4703 can be made to share monopoly area, the pixel section can be further made highly minute.

[0262] [Example 16] This example shows the example of the pixel structure of EL display where this invention was carried out to drawing 26 (A) and (B). in addition, this example -- setting -- 4801 -- the source wiring of TFT4802 for switching, and 4803 -- gate wiring of TFT4802 for switching, and 4804 -- in a capacitor (omitting is also possible) and 4806, TFT for elimination and 4808 make it as gate wiring for elimination, and 4809 makes a current supply source line and 4807 an EL element for TFT for current control, and 4805. About actuation of TFT4807 for elimination, it is good to refer to Japanese Patent Application No. No. 338786 [ 11 to ].

[0263] It can connect with the gate of TFT4804 for current control, and the drain of TFT4807 for elimination can change now compulsorily the gate voltage of TFT4804 for current control. In addition, although TFT4807 for elimination is good also as a p channel mold TFT also as an n channel mold TFT, it is desirable to consider as the same structure as TFT4802 for switching so that the OFF state current can be made small.

[0264] Moreover, drawing 26 (A) is an example at the time of making the current supply source line 4806 common between two pixels. That is, the description is formed so that two pixels may serve as axial symmetry focusing on the current supply source line 4806. In this case, since the number of a current supply source line can be reduced, the pixel section can be further made highly minute.

[0265] Moreover, drawing 26 (B) is an example at the time of forming the current supply source line 4810 in parallel with the gate wiring 4803, and forming the gate wiring 4811 for elimination in parallel with source wiring 4801. In addition, although it has structure established so that the current supply source line 4810 and the gate wiring 4803 might not lap in drawing 26 (B), if it is wiring formed in the layer from which both differ, it can also prepare so that it may lap through an insulator layer. In this case, since the current supply source line 4810 and the gate wiring 4803 can be made to share monopoly area, the pixel section can be further made highly minute.

[0266] [Example 17] The above-mentioned EL display is good also as structure which prepared how many TFT(s) in the pixel. For example, four thru/or six, or TFT beyond it may be prepared. This invention can be carried out without being limited to the pixel structure of EL display.

Even if gate wiring and the 2nd wiring raised the numerical aperture in piles as for the CMOS circuit and the pixel section which were formed by carrying out [example 18] this invention, they were able to make parasitic capacitance small enough. Therefore, it is more effective if it uses especially for the active matrix liquid crystal display of 1 inch or less of vertical angles.

[0267] As an example of such electronic equipment, a goggles mold indicating equipment (head mount display) is mentioned. Drawing 27 is referred to. The outline block diagram of the goggles mold display of this example is shown in drawing 27 . For 1900, the body of a goggles mold display, and 1901R and 1901L are [ a liquid crystal panel, and 1903R and 1903L of a lens, and 1902R and 1902L ] back lights.

[0268] The invention in this application is applicable to the drive circuit of liquid crystal panels 1902R and 1902L or others.

[0269] Moreover, the configuration of this example can be freely combined with any configuration of examples 1-11.

[0270] The CMOS circuit and pixel circuit which were formed by carrying out [example 19] above-mentioned each example can be used for various electro-optic devices (an active matrix liquid crystal display, a active-matrix mold EL display, active-matrix mold EC (electrochromic) display). That is, this invention can be carried out on all the electronic equipment that incorporated these electro-optic devices as a display.

[0271] As such electronic equipment, large-sized television, a video camera, a digital camera, a wearable display, car navigation, a personal computer, Personal Digital Assistants (a mobile computer, a cellular phone, or digital book), etc. are mentioned. Those examples are shown in drawing 28 and drawing 30 .

[0272] Drawing 28 (A) is a personal computer and consists of a body 2001, the image input section 2002, a display 2003, and a keyboard 2004. The invention in this application is applicable to the drive circuit of the image input section 2002, a display 2003, or others.

[0273] Drawing 28 (B) is a video camera and consists of a body 2101, a display 2102, the voice input section 2103, an actuation switch 2104, a dc-battery 2105, and the television section 2106. The invention in this application is applicable to the drive circuit of a display 2102, the voice input section 2103, or others.

[0274] Drawing 28 (C) is a mobile computer (Mobile computer), and consists of a body 2201, the camera section 2202, the television section 2203, an actuation switch 2204, and a display 2205. The invention in this application is applicable to the drive circuit of a display 2205 or others.

[0275] Drawing 28 (D) is a digital camera and consists of a body 2501, a display 2502, an eye contacting part 2503, an actuation switch 2504, and the television section (not shown). The invention in this application is applicable to the drive circuit of a display 2502 or others.

[0276] Drawing 28 (E) is a player using the record medium (it is hereafter called a record medium) which recorded the program, and consists of a body 2401, a display 2402, the loudspeaker section 2403, a record medium 2404, and an actuation switch 2405. In addition, this equipment can use music appreciation, movie appreciation, a game, and the Internet, using DVD (Digital Versatile Disc), CD, etc. as a record medium. This invention is applicable to the drive circuit of a display 2402 or others.

[0277] Drawing 30 (A) is a cellular phone and contains a body 2901, the voice output section 2902, the voice input section 2903, a display 2904, the actuation switch 2905, and antenna 2906 grade. The invention in this application is applicable to the signal-control circuit of the voice output section 2902, the voice input section 2903, a display 2904, or others.

[0278] Drawing 30 (B) is pocket books (digital book), and contains a body 3001, displays 3002 and 3003, a storage 3004, the actuation switch 3005, and antenna 3006 grade. This invention is applicable to the signal circuit of displays 3002 and 3003 or others.

[0279] Drawing 30 (C) is a display and contains a body 3101, susceptor 3102, and display 3103 grade. This invention is applicable to a display 3103. Especially the display of this invention is advantageous when it big-screen-izes, and it is advantageous to the display of 10 inches or more (especially 30 inches or more) of vertical angles.

[0280] As mentioned above, the applicability of the invention in this application is very wide, and applying to the electronic equipment of all fields is possible. Moreover, even if the electronic equipment of this example uses the configuration which consists of combination like an example 1 – 18 throats, it is realizable.

[0281] The liquid crystal display formed by carrying out [example 20] this invention can be used for a projector (a rear mold or front mold).

[0282] Drawing 29 (A) is a front mold projector, and consists of a display 2601 and a screen 2602. This invention is applicable to the drive circuit of a display or others.

[0283] Drawing 29 (B) is a rear mold projector, and consists of a body 2701, a display 2702, a mirror 2703, and a screen 2704. This invention is applicable to the drive circuit of a display or others.

[0284] In addition, drawing 29 (C) is drawing having shown an example of the structure of the displays 2601 and 2702 in drawing 29 (A) and drawing 29 (B). Displays 2601 and 2702 consist of the light source optical system 2801, mirrors 2802, 2804–2806, a dichroic mirror 2803, prism 2807, a liquid crystal display 2808, a phase contrast plate 2809, and an incident light study system 2810. The incident light study system 2810 consists of optical system containing a projector lens. Although this example showed the example of a 3 plate type, it may not be limited especially, for example, may be a veneer type. Moreover, an operation person may prepare suitably the optical system of an optical lens, the film which has a polarization function, the film for adjusting phase contrast, IR film, etc., etc. in the optical path shown by the arrow head in drawing 29 (C).

[0285] Moreover, drawing 29 (D) is drawing having shown an example of the structure of the light source

optical system 2801 in drawing 29 (C). The light source optical system 2801 is constituted from this example by a reflector 2811, the light source 2812, the lens arrays 2813 and 2814, the polarization sensing element 2815, and the condenser lens 2816. In addition, the light source optical system shown in drawing 29 (D) is especially an example, and is not limited. For example, an operation person may prepare suitably the optical system of an optical lens, the film which has a polarization function, the film which adjusts phase contrast, IR film, etc. in light source optical system.

[0286] Moreover, even if the electronic equipment of this example uses the configuration which consists of combination like examples 1-9 and example 11 throat, it is realizable.

[0287]

[Effect of the Invention] By using the invention in this application, the parasitic capacitance formed with a multilayer interconnection was able to be reduced, and the engine performance of operation and dependability of a semiconductor device (concretely [ here ] electro-optic device) were able to be raised sharply.

[0288] Moreover, in the pixel circuit of the electro-optic device represented by the active matrix liquid crystal display, even if gate wiring and the 2nd wiring raised the numerical aperture in piles, parasitic capacitance was able to be enough made small. Therefore, while raising the numerical aperture also in the active matrix liquid crystal display of 1 inch or less of vertical angles and reducing parasitic capacitance, it became possible to secure sufficient retention volume.

[0289] Moreover, the engine performance of operation and dependability of a semiconductor device (concretely [ here ] electronic equipment) which have such an electro-optic device as a display medium were also able to be raised.

---

[Translation done.]

#### \* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

#### DESCRIPTION OF DRAWINGS

---

##### [Brief Description of the Drawings]

[Drawing 1] Drawing showing the making process of AM-LCD.

[Drawing 2] Drawing showing the making process of AM-LCD.

[Drawing 3] Drawing showing the making process of AM-LCD.

[Drawing 4] Drawing showing the making process of AM-LCD.

[Drawing 5] Drawing showing the making process of AM-LCD.

[Drawing 6] The plan in the making process of AM-LCD.

[Drawing 7] The plan in the making process of AM-LCD.

[Drawing 8] The plan of a pixel circuit.

[Drawing 9] Cross-section structural drawing of a liquid crystal display.

[Drawing 10] Drawing showing the appearance of AM-LCD.

[Drawing 11] Circuit block diagram

- [Drawing 12] Drawing showing the making process of AM-LCD.
- [Drawing 13] Drawing showing the making process of AM-LCD.
- [Drawing 14] Drawing showing the making process of AM-LCD.
- [Drawing 15] Drawing showing the configuration of the memory section and a CMOS circuit.
- [Drawing 16] Drawing showing the configuration of a pixel circuit and a CMOS circuit.
- [Drawing 17] Drawing showing the configuration of a pixel circuit and a CMOS circuit.
- [Drawing 18] Drawing showing the configuration of a active-matrix mold EL display.
- [Drawing 19] Drawing showing the property of light transmittance over the applied voltage of non-threshold antiferroelectricity liquid crystal mixture
- [Drawing 20] The plan and sectional view of a active-matrix mold EL display.
- [Drawing 21] The sectional view showing the pixel structure of a active-matrix mold EL display.
- [Drawing 22] The plan showing the pixel structure of a active-matrix mold EL display.
- [Drawing 23] The sectional view showing the pixel structure of a active-matrix mold EL display.
- [Drawing 24] The circuit diagram of a active-matrix mold EL display.
- [Drawing 25] The circuit diagram of a active-matrix mold EL display.
- [Drawing 26] The circuit diagram of a active-matrix mold EL display.
- [Drawing 27] Drawing showing an example of a goggles mold display.
- [Drawing 28] Drawing showing an example of electronic equipment.
- [Drawing 29] Drawing showing an example of electronic equipment.
- [Drawing 30] Drawing showing an example of electronic equipment.
- 

[Translation done.]